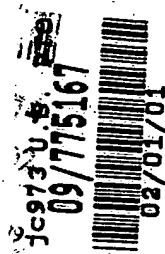


日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 2月 2日

出願番号  
Application Number:

特願2000-025221

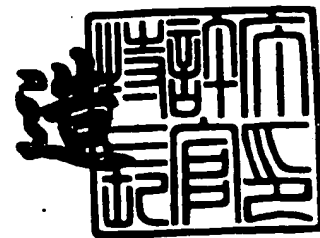
出願人  
Applicant (s):

シャープ株式会社

2000年12月22日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3106682

【書類名】 特許願

【整理番号】 168468

【提出日】 平成12年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20  
G09G 3/36  
G11C 19/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 久保田 靖

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鷺尾 一

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトレジスタ回路および画像表示装置

【特許請求の範囲】

【請求項 1】 クロック信号に同期して動作するフリップフロップと、上記フリップフロップに供給される上記クロック信号を制御する転送ゲートとを有する複数のレジスタブロックを備え、

上記複数のレジスタブロックが直列に接続され、

上記レジスタブロック毎に、上記転送ゲートが上記フリップフロップの出力が変化する点の前後の所定期間のみオン状態になることを特徴とするシフトレジスタ回路。

【請求項 2】 請求項 1 に記載のシフトレジスタ回路において、

上記レジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルとが異なるとき、そのレジスタブロックの上記転送ゲートをオン状態にすることを特徴とするシフトレジスタ回路。

【請求項 3】 請求項 1 または 2 に記載のシフトレジスタ回路において、

上記フリップフロップが D 型フリップフロップであって、

上記レジスタブロックは、上記入力信号と上記出力信号の論理演算をする論理演算部を有し、その論理演算部の論理演算結果を表す信号に基づいて、上記転送ゲートのオンオフを制御することを特徴とするシフトレジスタ回路。

【請求項 4】 請求項 1 または 2 に記載のシフトレジスタ回路において、

上記フリップフロップが S R 型フリップフロップであって、

上記転送ゲートは、上記 S R 型フリップフロップのセット端子に入力される上記クロック信号をオンオフする第 1 転送ゲートと、上記 S R 型フリップフロップのリセット端子に入力される上記クロック信号をオンオフする第 2 転送ゲートであって、

上記レジスタブロックは、上記入力信号レベルを反転した反転入力信号と上記出力信号との論理演算をする第 1 論理演算部と、上記入力信号と上記出力信号レベルを反転した反転出力信号との論理演算をする第 2 論理演算部とを有し、上記第 1 論理演算部の論理演算結果を表す信号に基づいて、上記第 1 転送ゲートのオ

ンオフを制御し、上記第2論理演算部の論理演算結果を表す信号に基づいて、上記第2転送ゲートのオンオフを制御することを特徴とするシフトレジスタ回路。

【請求項5】 請求項1乃至4のいずれか1つに記載のシフトレジスタ回路において、

上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、そのレジスタブロックの上記フリップフロップのクロック入力端子に、上記フリップフロップの出力を保持状態にする保持信号を入力する保持信号回路を有することを特徴とするシフトレジスタ回路。

【請求項6】 マトリクス状に配列された複数の画素と、上記複数の画素に書き込む画像データを供給するための複数のデータ信号線と、上記画素への画像データの書き込みを制御するための複数の走査信号線と、上記データ信号線を駆動するデータ信号線駆動回路と、上記走査信号線を駆動する走査信号線駆動回路とを備えた画像表示装置において、

上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方に、請求項1乃至5のいずれか1に記載のシフトレジスタ回路を用いたことを特徴とする画像表示装置。

【請求項7】 請求項6に記載の画像表示装置において、

上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を制御することにより、上記データ信号線駆動回路の出力パルス幅を制御することを特徴とする画像表示装置。

【請求項8】 請求項7に記載の画像表示装置において、

上記データ信号線駆動回路により全てのデータ信号線がアクティブ状態となるように、上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を長くして、上記全てのデータ信号線に黒信号を書き込むことにより、映像表示画面の上側および下側にサイドブラック領域を表示させることを特徴とする画像表示装置。

【請求項9】 請求項6乃至8のいずれか1つに記載の画像表示装置において、

上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方

を上記複数の画素と同一の基板上に形成したことを特徴とする画像表示装置。

【請求項 1 0】 請求項 9 に記載の画像表示装置において、

少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴とする画像表示装置。

【請求項 1 1】 請求項 1 0 に記載の画像表示装置において、

上記能動素子をガラス基板上に 6 0 0 ℃ 以下のプロセスで形成したことを特徴とする画像表示装置。

【請求項 1 2】 請求項 1 に記載のシフトレジスタ回路において、

上記クロック信号が上記フリップフロップのクロック信号入力レベルよりも小さいレベルであって、

上記レジスタブロックは、上記フリップフロップの入力信号レベルになるように上記クロック信号のレベルを変換するレベル変換回路を有し、

上記レジスタブロック毎に、上記レベル変換回路が上記フリップフロップの出力が変化する点の前後の所定期間のみ動作状態となることを特徴とするシフトレジスタ回路。

【請求項 1 3】 請求項 1 2 に記載のシフトレジスタ回路において、

上記レジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルとが異なるとき、そのレジスタブロックの上記転送ゲートがオン状態となると共に、

上記レジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルとが異なるとき、そのレジスタブロックの上記レベル変換回路が動作状態となることを特徴とするシフトレジスタ回路。

【請求項 1 4】 請求項 1 2 または 1 3 に記載のシフトレジスタ回路において、

上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、そのレジスタブロックの上記フリップフロップのクロック入力端子に、上記フリップフロップの出力を保持状態にする保持信号を入力する保持信号回路を有することを特徴とするシフトレジスタ回路。

【請求項 1 5】 請求項 1 4 に記載のシフトレジスタ回路において、

上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、上記レベル変換回路に電流が流れないようなレベルのオフ状態用信号を上記レベル変換回路のクロック入力端子に入力するオフ状態用信号回路を有することを特徴とするシフトレジスタ回路。

【請求項 1 6】 請求項 1 4 に記載のシフトレジスタ回路において、

上記レベル変換回路が電源線と接地線に接続されており、

上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、上記レベル変換回路の上記電源線または上記接地線のうちのいずれか一方を切り離す切り離し回路を有することを特徴とするシフトレジスタ回路。

【請求項 1 7】 請求項 1 2 乃至 1 6 のいずれか 1 つに記載のシフトレジスタ回路において、

上記フリップフロップが D 型フリップフロップであって、

上記レジスタブロックは、上記入力信号と上記出力信号の論理演算をする論理演算部を有し、その論理演算部の論理演算結果を表す信号に基づいて、上記転送ゲートのオンオフを制御することを特徴とするシフトレジスタ回路。

【請求項 1 8】 請求項 1 2 乃至 1 6 のいずれか 1 つに記載のシフトレジスタ回路において、

上記フリップフロップが S R 型フリップフロップであって、

上記転送ゲートは、上記 S R 型フリップフロップのセット端子に入力される上記クロック信号をオンオフする第 1 転送ゲートと、上記 S R 型フリップフロップのリセット端子に入力される上記クロック信号をオンオフする第 2 転送ゲートであって、

上記レジスタブロックは、上記入力信号レベルを反転した反転入力信号とそのレジスタブロックの出力信号との論理演算をする第 1 論理演算部と、上記レジスタブロックの入力信号とそのレジスタブロックの出力信号レベルを反転した反転出力信号との論理演算をする第 2 論理演算部とを有し、上記第 1 論理演算部の論理演算結果を表す信号に基づいて、上記第 1 転送ゲートのオンオフを制御し、上記第 2 論理演算部の論理演算結果を表す信号に基づいて、上記第 2 転送ゲートのオンオフを制御することを特徴とするシフトレジスタ回路。

【請求項 1 9】 マトリクス状に配列された複数の画素と、上記画素に書き込む画像データを供給するための複数のデータ信号線と、上記画素への画像データの書き込みを制御するための複数の走査信号線と、上記データ信号線を駆動するデータ信号線駆動回路と、上記走査信号線を駆動する走査信号線駆動回路を備えた画像表示装置において、

上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方に、請求項 1 2 乃至 1 8 のいずれか 1 つに記載のシフトレジスタ回路を用いたことを特徴とする画像処理装置。

【請求項 2 0】 請求項 1 9 に記載のシフトレジスタ回路において、

上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を制御することにより、上記データ信号線駆動回路の出力パルス幅を制御することを特徴とする画像処理装置。

【請求項 2 1】 請求項 1 9 に記載の画像処理装置において、

上記データ信号線駆動回路により全てのデータ信号線がアクティブ状態となるように、上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を長くして、上記全てのデータ信号線に黒信号を書き込むことにより、映像表示画面の上側および下側にサイドブラック領域を表示させることを特徴とする画像処理装置。

【請求項 2 2】 請求項 1 9 乃至 2 1 のいずれか 1 つに記載の画像処理装置において、

上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方を上記画素と同一の基板上に形成したことを特徴とする画像処理装置。

【請求項 2 3】 請求項 2 2 に記載の画像処理装置において、

少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴とする画像処理装置。

【請求項 2 4】 請求項 2 2 に記載の画像処理装置において、

上記能動素子をガラス基板上に 6 0 0 ℃ 以下のプロセスで形成したことを特徴とする画像処理装置。

【発明の詳細な説明】



## 【 0 0 0 1 】

## 【発明の属する技術分野】

この発明は、クロック信号に同期して動作するフリップフロップを備えたシフトレジスタ回路およびそのシフトレジスタ回路を用いた画像表示装置に関する。

## 【 0 0 0 2 】

## 【従来の技術】

従来、シフトレジスタ回路を用いた画像表示装置としては、種々のものが実現されているが、ここでは、特にアクティブマトリクス型の液晶表示装置に適用したものについて説明する。しかしながら、画像表示装置は液晶表示装置に限らず、同様な目的に対しては他の分野においても利用することができる。

## 【 0 0 0 3 】

従来の画像表示装置としての液晶表示装置の1つに、アクティブマトリクス駆動方式のものが知られている。この液晶表示装置は、図34に示すように、画素アレイARY3と、走査信号線駆動回路GD3と、データ信号線駆動回路SD3、プリチャージ回路PC3等からなっている。画素アレイARY3には、互いに交差する複数の走査信号線 $GL_n$  ( $n=1,2,3,\dots$ )と複数のデータ信号線 $SL_n$  ( $n=1,2,3,\dots$ )とを備えており、隣接する2本の走査信号線 $GL_n$ と隣接する2本のデータ信号線 $SL_n$ とで包囲された部分に、画素PIXがマトリクス状に配置されている。上記データ信号線駆動回路SD3は、クロック信号SCK等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して、各データ信号線 $SL_n$ に書き込む働きをする。また、上記走査信号線駆動回路GD3は、クロック信号GCK等のタイミング信号に同期して、走査信号線 $GL_n$ を順次選択し、画素PIX内にあるスイッチング素子の開閉を制御することにより、各データ信号線 $SL_n$ に書き込まれた映像信号(データ)を各画素PIXに書き込むと共に、各画素PIXに書き込まれたデータを保持する働きをする。また、上記プリチャージ回路PC3は、データ信号線 $SL_n$ への映像信号の書き込みを補助する役割を果たすものであり、データ信号線駆動回路SD3からデータ信号線 $SL_n$ へ映像信号を書き込む前に、予めデータ信号線を予備充電するものである。なお、このプリチャージ回路PC3は、液層表示装置の仕様(画

面サイズや画素数および入力信号の周波数等)によって不要となる場合もある。

#### 【 0 0 0 4 】

図 3 4 における各画素 P I X は、図 3 5 に示すように、スイッチング素子である電界効果トランジスタ S W と、画素容量(液晶容量 C L および補助容量 C S よりなる)で構成されている。図 3 5 において、スイッチング素子であるトランジスタ S W のドレインおよびソースを介してデータ信号線 S L<sub>n</sub> と画素容量の一方の電極とを接続し、トランジスタ S W のゲートを走査信号線 G L<sub>n</sub> に接続し、画素容量の他方の電極を全画素に共通の共通電極に接続している。そして、各液晶容量 C L に印加される電圧により、透過率または反射率が変調された液晶が表示に役立てられる。

#### 【 0 0 0 5 】

ところで、上記アクティブマトリクス型の液晶表示装置は、画素トランジスタ S W の材料としてガラス等の透明基板上に形成された非晶質シリコン薄膜が用いられ、走査信号線駆動回路やデータ信号線駆動回路は、それぞれ外付けの集積回路( I C )で構成されている。

#### 【 0 0 0 6 】

これに対して、近年、大画面化に伴う画素トランジスタの駆動力向上や、駆動 I C の実装コストの低減、または、実装における信頼性向上等の要求から、多結晶シリコン薄膜を用いて、モノリシックに画素アレイと駆動回路を形成する技術が報告されている。さらに、より大画面化および低コスト化を目指して、ガラスの歪み点(約 6 0 0 ℃)以下のプロセス温度で、素子をガラス基板上の多結晶シリコン薄膜で形成することも試みられている。例えば、図 3 6 に示すように、絶縁性基板 S U B 上に、画素アレイ A R Y 3 と走査信号線駆動回路 G D 4、データ信号線駆動回路 S D 4、プリチャージ回路 P C 4 が搭載され、これに外部のコントロール回路 C T 3 と電源電圧生成回路 V G E N 4 が接続される図 3 5 の液晶表示装置に似た構成がとられている。

#### 【 0 0 0 7 】

次に、データ信号線駆動回路の構成について述べる。このデータ信号線駆動回路としては、画像データをデータ信号線に書き込む方式の違いから、点順次駆動

方式のものと線順次駆動方式のものとが知られているが、駆動回路を一体化した多結晶シリコン T F T (薄膜トランジスタ) パネルにおいては、その回路構成の簡易性から、点順次駆動方式のものが用いられることが多い。したがって、ここでは点順次駆動方式のデータ信号線駆動回路について説明する。

## 【 0 0 0 8 】

この点順次駆動方式のデータ信号線駆動回路では、図 3 7 に示すように、映像信号線 D A T に入力された映像信号を、複数のフリップフロップ F F 7 (図 3 7 では 4 つのみを示す) より構成されたシフトレジスタ回路の各段のフリップフロップ F F 7 の出力パルスに同期させてサンプリングスイッチ A S 3 を開閉することにより、データ信号線 S L 1 ~ S L 4 に書き込む。ここで、シフトレジスタ回路とサンプリングスイッチ A S 3 の間にバッファ回路 (N A N D 5 , I V 1 1 1 ~ I V 1 1 3 ) があるが、このようなバッファ回路は、シフトレジスタ回路から出力されるパルス信号を取り込んで、保持、増幅すると共に、必要に応じて反転信号を生成するものである。

## 【 0 0 0 9 】

一方、走査信号線駆動回路は、図 3 8 に示すように、複数のフリップフロップ F F 8 (図 3 8 では 4 つのみを示す) より構成されたシフトレジスタ回路の各段フリップフロップ F F 8 の出力パルス信号をバッファ回路 (N A N D 6 , N O R 3 , I V 1 2 1 および I V 1 2 2 ) により論理演算と増幅を行うことにより、走査信号を出力している。

## 【 0 0 1 0 】

また、図 3 6 に示すプリチャージ回路 P C 3 は、コントロール回路 C T 3 からの制御信号 P C T により、アナログスイッチを開閉して、データ信号線 S L <sub>n</sub> をコントロール回路 C T 3 からのプリチャージ信号 P S G の電位に予備充電するものである。

## 【 0 0 1 1 】

以上のように、上記データ信号線駆動回路および走査信号線駆動回路のいずれにおいても、パルス信号を順次転送するシフトレジスタ回路が用いられている。このシフトレジスタ回路は、複数のフリップフロップを直列に接続した構成をと

っており、クロック信号CLKとそのクロック信号CLKを反転させたクロック信号／CLKにより駆動される。そして、このシフトレジスタ回路を構成するフリップフロップFFとしては、D型フリップフロップおよびSR型(セット・リセット型)フリップフロップが用いられる。

#### 【0012】

##### 【発明が解決しようとする課題】

ところで、図37に示すデータ信号線駆動回路や図38に示す走査信号線駆動回路に用いられているシフトレジスタ回路では、クロック信号CLK、／CLKは、すべてのフリップフロップに入力されているため、クロック信号線の負荷容量は極めて大きくなる。その結果、クロック信号線を駆動するための外部IC(コントローラIC等)として、駆動能力の大きなものを使用する必要があり、コストアップになると共に、消費電力の増加を招くという問題がある。

#### 【0013】

これに対して、クロック信号線の負荷容量を小さくするために、シフトレジスタ回路の各段のフリップフロップの出力が有意(アクティブ状態)であるときのみ、そのフリップフロップにクロック信号を入力するような構成のシフトレジスタ回路が提案されている(特開平3-147598号公報)。このシフトレジスタ回路は、図39に示すように、クロック信号線CK、／CKと各D型フリップフロップDFF7との間に転送ゲートTG141、TG142を設け、クロック信号線CK、／CKと各D型フリップフロップDFF7を接続するか切り離すかを、各D型フリップフロップDFF7の出力信号と前段のD型フリップフロップDFF7の出力信号レベル合成信号(初段のD型フリップフロップDFF7のみスタート信号)によって制御するものである。

#### 【0014】

しかし、図39に示すこのような構成のシフトレジスタ回路では、出力がアクティブ状態にあるD型フリップフロップDFF7に対応する転送ゲートTG141、TG142が全てオン(導通)するため、シフトレジスタ回路の走査パルス幅が長い場合には、多くの転送ゲートTG141、TG142がオン状態となり、クロック信号線の容量負荷が大きくなるという問題がある。

## 【 0 0 1 5 】

ここで、上記シフトレジスタ回路を走査するパルス幅が短い場合と長い場合の信号波形を図40および図41にそれぞれ示している。図40,図41において、STはスタート信号、CKはクロック信号、CTL1~CTL4は制御信号、OUT1~OUT4は出力信号である。

## 【 0 0 1 6 】

また、近年、入力インターフェースの簡素化のために、入力電圧を低振幅化する必要性が高まっており、そのための方法として、シフトレジスタ回路を構成する各フリップフロップに昇圧回路(レベルシフト回路)を内蔵させることが有効である。

## 【 0 0 1 7 】

ここで、レベルシフト回路の動作マージンを大きくするために、電流駆動型レベルシフト回路(常時、電流が流れ続けるタイプのレベルシフト回路)を用いる場合には、消費電流を低減するために、上述の転送ゲートの制御と同様に、出力がアクティブ状態にあるフリップフロップに対応するレベルシフト回路のみ動作させることが有効である。しかし、シフトレジスタ回路の走査パルス幅が長い場合には、シフトレジスタ回路内の複数のノードが同時にアクティブとなるので、複数のレベルシフト回路が動作状態となり、消費電流が非常に大きくなってしまふと共に、電圧降下が発生し、以降の動作に支障が生ずることが懸念される。

## 【 0 0 1 8 】

例えば、上述の点順次駆動方式のシフトレジスタ回路では、データ信号線への映像信号の書き込み性能を高めるために、サンプリングスイッチを駆動するパルスの幅を広げることが行われる。このときには、複数の転送ゲートがオン状態にある。

## 【 0 0 1 9 】

また、表示領域が3:4の画像表示装置においてワイド表示(表示領域の比が16:9)を行う場合には、映像表示領域の上下に黒表示部(サイドブラック部)を設ける必要がある。このサイドブラック用の画像データをデータ信号線駆動回路から書き込むためには、通常の映像のようにデータ信号線に順次書き込むだけ

の時間は無く、データ信号線駆動回路の全てのサンプリングスイッチをオン状態にすることが求められる。このときには、全ての転送ゲートがオン状態となると共に、レベルシフト回路も全数動作するために消費電流が大幅に増加する。

#### 【 0 0 2 0 】

そこで、この発明の目的は、簡単な構成でクロック信号線の容量負荷を低減して、外部回路の負荷を低減でき、低消費電力化と低コスト化が図れる動作マージンの広いシフトレジスタ回路および画像表示装置を提供することにある。

#### 【 0 0 2 1 】

##### 【課題を解決するための手段】

上記目的を達成するため、この発明のシフトレジスタ回路は、クロック信号に同期して動作するフリップフロップと、上記フリップフロップに供給される上記クロック信号を制御する転送ゲートとを有する複数のレジスタブロックを備え、上記複数のレジスタブロックが直列に接続され、上記レジスタブロック毎に、上記転送ゲートが上記フリップフロップの出力が変化する点の前後の所定期間のみオン状態になることを特徴としている。

#### 【 0 0 2 2 】

上記構成のシフトレジスタ回路によれば、クロック信号は、フリップフロップの内部状態が変化するべきときにのみ必要であり、変化しないときには不要であるので、上記フリップフロップの出力が変化する点の前後の所定期間のみ上記転送ゲートをオン状態にし、フリップフロップに供給されるクロック信号を制御して、必要最低限の期間にクロック信号をフリップフロップに入力することによって、クロック信号線の負荷を大幅に軽減することが可能となる。その結果、外部回路の負荷低減に伴う低消費電力化と低コスト化を実現できる。

#### 【 0 0 2 3 】

また、一実施形態のシフトレジスタ回路は、上記レジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルとが異なるとき、そのレジスタブロックの上記転送ゲートをオン状態にすることを特徴としている。

#### 【 0 0 2 4 】

上記実施形態のシフトレジスタ回路によれば、上記フリップフロップの内部状態が変化するのは、そのフリップフロップを有するレジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルが異なるときであり、そのときに上記転送ゲートをオン状態にする。

## 【 0 0 2 5 】

また、一実施形態のシフトレジスタ回路は、上記フリップフロップがD型フリップフロップであって、上記レジスタブロックは、上記入力信号と上記出力信号の論理演算をする論理演算部を有し、その論理演算部の論理演算結果を表す信号に基づいて、上記転送ゲートのオンオフを制御することを特徴としている。

## 【 0 0 2 6 】

上記実施形態のシフトレジスタ回路によれば、上記レジスタブロックの論理演算部は、そのレジスタブロックの入力信号と出力信号の論理演算をし、その論理演算部の論理演算結果を表す信号は、レジスタブロックの入力信号レベルと出力信号レベルが異なるときにアクティブ(“1”)となる。この論理演算結果を表す信号に基づいて、レジスタブロックの入力信号レベルと出力信号レベルが異なるときに転送ゲートをアクティブすなわちオン状態とする。例えば、上記論理演算部として排他的論理和回路を用いて、レジスタブロックの入力信号レベルと出力信号レベルが異なる時のみに、転送ゲートをオン状態にしてもよいし、排他的論理和回路に限らず、他の論理演算素子を組み合わせて上記論理演算部を実現してもよい。

## 【 0 0 2 7 】

また、一実施形態のシフトレジスタ回路は、上記フリップフロップがSR型フリップフロップであって、上記転送ゲートは、上記SR型フリップフロップのセット端子に入力される上記クロック信号をオンオフする第1転送ゲートと、上記SR型フリップフロップのリセット端子に入力される上記クロック信号をオンオフする第2転送ゲートであって、上記レジスタブロックは、上記入力信号レベルを反転した反転入力信号と上記出力信号との論理演算をする第1論理演算部と、上記入力信号と上記出力信号レベルを反転した反転出力信号との論理演算をする第2論理演算部とを有し、上記第1論理演算部の論理演算結果を表す信号に基づ

いて、上記第 1 転送ゲートのオンオフを制御し、上記第 2 論理演算部の論理演算結果を表す信号に基づいて、上記第 2 転送ゲートのオンオフを制御することを特徴としている。

## 【 0 0 2 8 】

上記実施形態のシフトレジスタ回路によれば、上記レジスタブロックの第 1 論理演算部は、そのレジスタブロックの入力信号レベルを反転した反転入力信号と、出力信号との論理演算をし、このレジスタブロックの入力信号が“1”と出力信号が“0”で異なるときのみに、第 1 論理演算部の論理演算結果を表す信号に基づいて第 1 転送ゲートをアクティブすなわちオン状態にし、フリップフロップのセット端子にクロック信号を入力し、出力信号が入力信号と同じ論理(“1”)にセットされる。一方、このレジスタブロックの入力信号が“0”で出力信号が“1”と異なるときのみに、第 2 論理演算部の論理演算結果を表す信号に基づいて第 1 転送ゲートをアクティブすなわちオン状態にし、フリップフロップのリセット端子にクロック信号を入力し、出力信号が入力信号と同じ論理(“0”)リセットされる。例えば、上記第 1, 第 2 論理演算部として論理和回路を用いて、レジスタブロックの入力信号レベルと出力信号レベルが異なるときのみに、第 1, 第 2 転送ゲートのいずれか一方をオン状態にしてもよいし、論理和回路に限らず、他の論理演算素子を組み合わせて上記第 1, 第 2 論理演算部を実現してもよい。

## 【 0 0 2 9 】

また、一実施形態のシフトレジスタ回路は、上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、そのレジスタブロックの上記フリップフロップのクロック入力端子に、上記フリップフロップの出力を保持状態にする保持信号を入力する保持信号回路を有することを特徴としている。

## 【 0 0 3 0 】

上記実施形態のシフトレジスタ回路によれば、上記転送ゲートがオフ状態にあるときに、クロック入力端子がハイインピーダンス状態となると、内部リーク電流や外来ノイズ等によりフリップフロップが誤動作をきたす可能性があるが、クロック信号入力がないときには、フリップフロップが保持状態(変化しない状態)となるようなレベルの保持信号を上記保持信号回路からフリップフロップのクロ



ック入力端子に入力することにより、フリップフロップの誤動作を防止できる。

【 0 0 3 1 】

また、この発明の画像表示装置は、マトリクス状に配列された複数の画素と、上記複数の画素に書き込む画像データを供給するための複数のデータ信号線と、上記画素への画像データの書き込みを制御するための複数の走査信号線と、上記データ信号線を駆動するデータ信号線駆動回路と、上記走査信号線を駆動する走査信号線駆動回路とを備えた画像表示装置において、上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方に、請求項 1 乃至 5 のいずれか 1 に記載のシフトレジスタ回路を用いたことを特徴としている。

【 0 0 3 2 】

上記構成の画像表示装置によれば、上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方に、請求項 1 乃至 5 のいずれか 1 に記載のシフトレジスタ回路を用いることによって、画像表示装置の低消費電力化と低コスト化が実現できる。

【 0 0 3 3 】

また、一実施形態の画像表示装置は、上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を制御することにより、上記データ信号線駆動回路の出力パルス幅を制御することを特徴としている。

【 0 0 3 4 】

上記実施形態の画像表示装置によれば、上記レジスタブロックの入力信号レベルと出力信号レベルが異なるときのみ、クロック信号がフリップフロップに入力されるので、上記クロック信号が入力されるフリップフロップの数は最小限(2 個以下)に抑えられ、画像表示装置の低消費電力化と低コスト化が可能となる。

【 0 0 3 5 】

また、一実施形態の画像表示装置は、上記データ信号線駆動回路により全てのデータ信号線がアクティブ状態となるように、上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を長くして、上記全てのデータ信号線に黒信号を書き込むことにより、映像表示画面の上側および下側にサイドブラック領域を表示させることを特徴としている。

## 【 0 0 3 6 】

上記実施形態の画像表示装置によれば、上記初段のレジスタブロックに入力される入力信号のパルス幅を長くした場合においても、レジスタブロックの入力信号レベルと出力信号レベルが異なるときのみ、クロック信号がフリップフロップに入力されるので、上記クロック信号が入力されるフリップフロップの数は最小限(2個以下)に抑えられ、画像表示装置の低消費電力化と低コスト化が可能となる。

## 【 0 0 3 7 】

また、一実施形態の画像表示装置は、上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方を上記複数の画素と同一の基板上に形成したことを特徴としている。

## 【 0 0 3 8 】

上記実施形態の画像表示装置によれば、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を、画素と同一の基板上に同一プロセスで形成することによって、駆動回路の実装コストの低減や信頼性の向上を図ることができる。

## 【 0 0 3 9 】

また、一実施形態の画像表示装置は、少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴としている。

## 【 0 0 4 0 】

上記実施形態の画像表示装置によれば、上記多結晶シリコン薄膜を用いて、少なくとも上記データ信号線駆動回路の能動素子(トランジスタ)を形成すると、従来のアクティブマトリクス液晶表示装置等に用いられていた非晶質シリコン薄膜トランジスタに比べて、極めて駆動力の高い特性が得られると共に、上記画素およびデータ信号線駆動回路を同一基板上に容易に形成することができる。このため、製造コストや実装コストの低減と実装良品率のアップの効果が期待できる。

## 【 0 0 4 1 】

また、一実施形態の画像表示装置は、上記能動素子をガラス基板上に600℃

以下のプロセスで形成したことを特徴としている。

【 0 0 4 2 】

上記実施形態の画像表示装置によれば、600℃以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成することによって、安価でかつ大型化の容易な歪み点温度の低いガラスを基板として用いることができる、大型の画像表示装置を低コストで製造することが可能となるというメリットがある。

【 0 0 4 3 】

また、一実施形態のシフトレジスタ回路は、上記クロック信号が上記フリップフロップのクロック信号入力レベルよりも小さいレベルであって、上記レジスタブロックは、上記フリップフロップの入力信号レベルになるように上記クロック信号のレベルを変換するレベル変換回路を有し、上記レジスタブロック毎に、上記レベル変換回路が上記フリップフロップの出力が変化する点の前後の所定期間のみ動作状態となることを特徴としている。

【 0 0 4 4 】

上記実施形態のシフトレジスタ回路によれば、上記クロック信号は、フリップフロップの内部状態が変化すべきときにのみ必要であり、変化しないときには不要であるので、上記フリップフロップの出力が変化する点の前後の所定期間のみレベル変換回路を動作状態にして、必要最低限の期間にクロック信号をレベル変換回路に入力することにより、クロック信号線の負荷を大幅に軽減することが可能となる。また、フリップフロップの内部状態が変化しない期間において、レベル変換回路の動作を停止することにより、レベル変換回路に貫通電流が流れるのを防止するので、消費電力を大幅に低減することができる。その結果、外部回路の負荷低減に伴う低消費電力化と低コスト化を実現できる。

【 0 0 4 5 】

また、一実施形態のシフトレジスタ回路は、上記レジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルとが異なるとき、そのレジスタブロックの上記転送ゲートがオン状態となると共に、上記レジスタブロックに入力される入力信号レベルとそのレジスタブロックから出力される出力信号レベルとが異なるとき、そのレジスタブロックの上記レベル変

換回路が動作状態となることを特徴としている。

【 0 0 4 6 】

上記実施形態のシフトレジスタ回路によれば、上記フリップフロップの内部状態が変化するのは、レジスタブロックに入力される入力信号レベルと出力信号レベルとが異なるときであり、そのときに上記レベル変換回路を動作状態にする。

【 0 0 4 7 】

また、一実施形態のシフトレジスタ回路は、上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、そのレジスタブロックの上記フリップフロップのクロック入力端子に、上記フリップフロップの出力を保持状態にする保持信号を入力する保持信号回路を有することを特徴としている。

【 0 0 4 8 】

上記実施形態のシフトレジスタ回路によれば、上記転送ゲートがオフ状態にあるときに、クロック入力端子がハイインピーダンス状態となると、内部リーク電流や外来ノイズ等によりフリップフロップに誤動作をきたす可能性があるが、クロック信号入力がないときは、フリップフロップが保持状態(変化しない状態)となるようなレベルの保持信号を上記保持信号回路からフリップフロップのクロック入力端子に入力することにより、フリップフロップの誤動作を防止できる。

【 0 0 4 9 】

また、一実施形態のシフトレジスタ回路は、上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、上記レベル変換回路に電流が流れないようなレベルのオフ状態用信号を上記レベル変換回路のクロック入力端子に入力するオフ状態用信号回路を有することを特徴としている。

【 0 0 5 0 】

上記実施形態のシフトレジスタ回路によれば、上記転送ゲートがオフ状態にある場合には、フリップフロップの内部状態が変化することはないので、レベル変換回路を動作させる必要はない。したがって、レベル変換回路の入力ノード(クロック入力端子)の電位を電流が流れないレベルにすることによって、レベル変換回路の消費電流を低減する上で非常に有効である。

【 0 0 5 1 】

また、一実施形態のシフトレジスタ回路は、上記レベル変換回路が電源線と接地線に接続されており、上記レジスタブロックは、上記転送ゲートがオフ状態となっている期間において、上記レベル変換回路の上記電源線または上記接地線のうちのいずれか一方を切り離す切り離し回路を有することを特徴としている。

## 【 0 0 5 2 】

上記実施形態のシフトレジスタ回路によれば、上記転送ゲートがオフ状態にある場合には、フリップフロップの内部状態が変化ことはないので、レベル変換回路を動作させる必要はない。したがって、レベル変換回路の電流経路を上記切り離し回路により遮断することによって、レベル変換回路の消費電流を低減する上で非常に有効である。

## 【 0 0 5 3 】

また、一実施形態のシフトレジスタ回路は、上記フリップフロップがD型フリップフロップであって、上記レジスタブロックは、上記入力信号と上記出力信号の論理演算をする論理演算部を有し、その論理演算部の論理演算結果を表す信号に基づいて、上記転送ゲートのオンオフを制御することを特徴としている。

## 【 0 0 5 4 】

上記実施形態のシフトレジスタ回路によれば、上記レジスタブロックの論理演算部は、そのレジスタブロックの入力信号と出力信号の論理演算をし、その論理演算部の論理演算結果を表す信号は、レジスタブロックの入力信号レベルと出力信号レベルが異なるときにアクティブ(“1”)となる。この論理演算結果を表す信号に基づいて、レジスタブロックの入力信号レベルと出力信号レベルが異なるときに転送ゲートをアクティブすなわちオン状態とする。例えば、上記論理演算部として排他的論理和回路を用いて、レジスタブロックの入力信号レベルと出力信号レベルが異なるときにのみ、転送ゲートをオン状態にしてもよいし、排他的論理和回路に限らず、他の論理演算素子を組み合わせて上記論理演算部を実現してもよい。

## 【 0 0 5 5 】

また、一実施形態のシフトレジスタ回路は、上記フリップフロップがSR型フリップフロップであって、上記転送ゲートは、上記SR型フリップフロップのセ

ット端子に入力される上記クロック信号をオンオフする第1転送ゲートと、上記SR型フリップフロップのリセット端子に入力される上記クロック信号をオンオフする第2転送ゲートであって、上記レジスタブロックは、上記入力信号レベルを反転した反転入力信号とそのレジスタブロックの出力信号との論理演算をする第1論理演算部と、上記レジスタブロックの入力信号とそのレジスタブロックの出力信号レベルを反転した反転出力信号との論理演算をする第2論理演算部とを有し、上記第1論理演算部の論理演算結果を表す信号に基づいて、上記第1転送ゲートのオンオフを制御し、上記第2論理演算部の論理演算結果を表す信号に基づいて、上記第2転送ゲートのオンオフを制御することを特徴としている。

## 【0056】

上記実施形態のシフトレジスタ回路によれば、上記レジスタブロックの第1論理演算部は、そのレジスタブロックの入力信号レベルを反転した反転入力信号と出力信号との論理演算をし、このレジスタブロックの入力信号が“1”と出力信号が“0”で異なる時のみに、第1論理演算部の論理演算結果を表す信号に基づいて第1転送ゲートをアクティブすなわちオン状態にし、フリップフロップのセット端子にクロック信号を入力し、出力信号が入力信号と同じ論理(“1”)にセットされる。一方、このレジスタブロックの入力信号が“0”で出力信号が“1”と異なる時のみに、第2論理演算部の論理演算結果を表す信号に基づいて第1転送ゲートをアクティブすなわちオン状態にし、フリップフロップのリセット端子にクロック信号を入力し、出力信号が入力信号と同じ論理(“0”)にリセットされる。例えば、上記第1,第2論理演算部として論理和回路を用いて、レジスタブロックの入力信号レベルと出力信号レベルが異なる時のみに、第1,第2転送ゲートのいずれか一方をオン状態にしてもよいし、論理和回路に限らず、他の論理演算素子を組み合わせて上記第1,第2論理演算部を実現してもよい。

## 【0057】

また、この発明の画像表示装置は、マトリクス状に配列された複数の画素と、上記画素に書き込む画像データを供給するための複数のデータ信号線と、上記画素への画像データの書き込みを制御するための複数の走査信号線と、上記データ

信号線を駆動するデータ信号線駆動回路と、上記走査信号線を駆動する走査信号線駆動回路を備えた画像表示装置において、上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方に、上記のいずれか1つのシフトレジスタ回路を用いたことを特徴としている。

## 【 0 0 5 8 】

上記構成の画像表示装置によれば、上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方に、上記シフトレジスタ回路を用いることによって、画像表示装置の低消費電力化と低コスト化が実現できる。

## 【 0 0 5 9 】

また、一実施形態の画像表示装置は、上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を制御することにより、上記データ信号線駆動回路の出力パルス幅を制御することを特徴としている。

## 【 0 0 6 0 】

上記実施形態の画像表示装置によれば、上記レジスタブロックの入力信号レベルと出力信号レベルが異なる時のみ、クロック信号がフリップフロップに入力されるので、上記クロック信号が入力されるフリップフロップの数は最小限(2個以下)に抑えられ、画像表示装置の低消費電力化と低コスト化が可能となる。

## 【 0 0 6 1 】

また、一実施形態の画像表示装置は、上記データ信号線駆動回路により全てのデータ信号線がアクティブ状態となるように、上記シフトレジスタ回路の初段のレジスタブロックに入力される入力信号のパルス幅を長くして、上記全てのデータ信号線に黒信号を書き込むことにより、映像表示画面の上側および下側にサイドブラック領域を表示させることを特徴としている。

## 【 0 0 6 2 】

上記実施形態の画像表示装置によれば、上記初段のレジスタブロックに入力される入力信号のパルス幅を長くした場合においても、上記レジスタブロックの入力信号レベルと出力信号レベルが異なる時のみ、クロック信号がフリップフロップに入力されるので、上記クロック信号が入力されるフリップフロップの数は最小限(2個以下)に抑えられ、画像表示装置の低消費電力化と低コスト化が可能

となる。

【 0 0 6 3 】

また、一実施形態の画像表示装置は、上記データ信号線駆動回路と上記走査信号線駆動回路のうちの少なくとも一方を上記画素と同一の基板上に形成したことを特徴としている。

【 0 0 6 4 】

上記実施形態の画像表示装置によれば、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を、画素と同一基板上に同一プロセスで形成することによって、駆動回路の実装コストの低減や信頼性の向上を図ることができる。

【 0 0 6 5 】

また、一実施形態の画像表示装置は、少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴としている。

【 0 0 6 6 】

上記実施形態の画像表示装置によれば、上記多結晶シリコン薄膜を用いて、少なくとも上記データ信号線駆動回路を構成する能動素子(トランジスタ)を形成すると、従来のアクティブマトリクス液晶表示装置等に用いられていた非晶質シリコン薄膜トランジスタに比べて、極めて駆動力の高い特性が得られると共に、画素および信号線駆動回路を同一基板上に容易に形成することができる。このため、製造コストや実装コストの低減と実装良品率のアップの効果が期待できる。

【 0 0 6 7 】

また、一実施形態の画像表示装置は、上記能動素子をガラス基板上に 6 0 0 ℃ 以下のプロセスで形成したことを特徴としている。

【 0 0 6 8 】

上記実施形態の画像表示装置によれば、6 0 0 ℃ 以下のプロセス温度で多結晶シリコン薄膜トランジスタを形成することによって、安価でかつ大型化の容易な歪み点温度の低いガラスを基板として用いることができ、大型の画像表示装置を低コストで製造することが可能となるというメリットがある。



【 0 0 6 9 】

## 【発明の実施の形態】

以下、この発明のシフトレジスタ回路および画像表示装置を図示の実施の形態により詳細に説明する。

【 0 0 7 0 】

## (第 1 実施形態)

図 1 はこの発明の第 1 実施形態のシフトレジスタ回路の構成を示すブロック図である。図 1 に示すように、このシフトレジスタ回路は、直列に接続された複数のフリップフロップ F F 1 (図 1 では 4 つのみを示す)と、各フリップフロップ F F 1 毎に設けられた転送ゲート T G 1 とを備えている。上記転送ゲート T G 1 は、制御信号(図 1 では C T L 1 ~ C T L 4 のみを示す)によってオン(導通)/オフ(非導通)が制御され、この転送ゲート T G 1 を介してフリップフロップ F F 1 にクロック信号 C K を入力する。上記フリップフロップ F F 1 と転送ゲート T G 1 でレジスタブロック B L K 1 を構成している。なお、入力側から奇数番目のレジスタブロック B L K 1 では、フリップフロップ F F 1 のクロック入力端子 C にクロック信号 C K が入力され、偶数番目のレジスタブロック B L K 1 では、フリップフロップ F F 1 のクロック入力端子 / C にクロック信号 C K が入力される。

【 0 0 7 1 】

そして、上記構成のシフトレジスタ回路は、スタート信号 S T が入力されると、クロック信号に同期して各フリップフロップ F F 1 から順次出力信号(図 1 では出力信号 O U T 1 ~ O U T 4 のみを示す)を出力する。

【 0 0 7 2 】

図 2 (a)~(j)は上記シフトレジスタ回路における信号波形を示している。図 2 (a)~(j)に示すように、上記制御信号 C T L 1 ~ C T L 4 は、対応するフリップフロップ F F 1 (図 1 に示すように)の内部状態が変化するとき(出力信号 O U T 1 ~ O U T 4 が変化するとき)にのみ、アクティブとなるように設定されている。したがって、対応するフリップフロップ F F 1 の出力信号が変化するときのみ、クロック信号 C K をフリップフロップ F F 1 に夫々入力する。

【 0 0 7 3 】

上記フリップフロップ F F 1 は、最低限、内部状態が変化するタイミングでのみ、クロック信号が供給されれば正常に動作するので、図 2 (c), (e), (g), (i) に示す制御信号 C T L 1 ~ C T L 4 で充分であり、これによりクロック信号 C K が入力される期間を短くすることができるので、クロック信号線の負荷を最小限に抑えることが可能となる。

## 【 0 0 7 4 】

## (第 2 実施形態)

上記第 1 実施形態の図 2 における制御信号 (C T L 1 ~ C T L 4) は、フリップフロップ F F 1 の入力信号レベルと出力信号レベルとが異なる期間のみ、アクティブとなっている。上記各フリップフロップの内部状態が変化するの、フリップフロップの入力信号レベルと出力信号レベルとが異なっているときであるので、フリップフロップの入力信号レベルと出力信号レベルが異なるか否かを検知して、その結果を転送ゲートの制御信号としたのが図 3 に示すこの発明の第 2 実施形態のシフトレジスタ回路である。

## 【 0 0 7 5 】

図 3 に示すように、直列に接続された複数の D 型フリップフロップ D F F 1 (図 3 では 4 つのみを示す) と、D 型フリップフロップ D F F 1 毎に設けられた転送ゲート T G 1 1, T G 1 2 と、D 型フリップフロップ D F F 1 毎に設けられた論理演算部としての排他的論理和回路 X O R 1 とを備えている。上記排他的論理和回路 X O R 1 の一方の入力端子に D 型フリップフロップ D F F 1 の入力端子を接続し、排他的論理和回路 X O R 1 の他方の入力端子に D 型フリップフロップ D F F 1 の出力端子を接続して、排他的論理和回路 X O R 1 の出力端子を転送ゲート T G 1 1, T G 1 2 の制御入力端子に夫々接続している。上記転送ゲート T G 1 1 は、排他的論理和回路 X O R 1 から出力される排他的論理和信号によってオン／オフが制御され、この転送ゲート T G 1 1 を介して D 型フリップフロップ D F F 1 のクロック入力端子 C にクロック信号 C K (偶数番目の D 型フリップフロップ D F F 1 はクロック信号 / C K) が入力される。また、上記転送ゲート T G 1 2 は、排他的論理和回路 X O R 1 から出力される排他的論理和信号によってオン／オフが制御され、この転送ゲート T G 1 2 を介して D 型フリップフロップ D

FF1のクロック入力端子／Cにクロック信号／CK(偶数番目のD型フリップフロップDFF1はクロック信号CK)が入力される。したがって、D型フリップフロップDFF1の入力信号レベルと出力信号レベルとが異なる場合のみ、転送ゲートTG11,12が夫々オン(導通)する。上記D型フリップフロップDFF1と転送ゲートTG11,TG12および排他的論理和回路XOR1でレジスタブロックBLK2を構成している。

## 【0076】

この第2実施形態では、上記転送ゲートTG11,12の制御信号は排他的論理和信号であったが、これに限らず、転送ゲートの制御信号条件等に応じて排他的論理和信号を反転した反転信号でもよく、また、その両者であってもよい(これは、以下の実施形態でも同じである)。

## 【0077】

また、上記第2実施形態では、論理演算部として排他的論理和回路XOR1を用いたが、論理演算部は他の論理演算子を組み合わせても実現できる。

## 【0078】

また、図4は図3に示すシフトレジスタ回路を構成するD型フリップフロップDFF1の構成を示している。なお、図4では隣接する2つのD型フリップフロップを示している。

## 【0079】

このD型フリップフロップは、図4に示すように、直列に接続されたクロックドインバータINV1,インバータINV2,クロックドインバータINV3およびインバータINV4と、上記インバータINV2の出力端子が入力端子に接続され、出力端子がインバータINV2の入力端子に接続されたクロックドインバータINV5と、上記インバータINV4の出力端子が入力端子に接続され、出力端子がインバータINV4の入力端子に接続されたクロックドインバータINV6とを備えている。上記インバータINV1～INV6は、CMOS(コンプリメンタリ・メタル・オキシド・セミコンダクタ)トランジスタで構成されている。上記クロックドインバータINV1,インバータINV2およびクロックドインバータINV5で1つのD型フリップフロップを構成すると共に、クロッ

クドインバータ INV 3, インバータ INV 4 およびクロックドインバータ INV 6 で 1 つの D 型フリップフロップを構成している。

## 【 0 0 8 0 】

上記クロックドインバータ INV 1, INV 6 の P N O S 側のクロック入力端子にクロック信号 / C を入力する一方、N M O S 側のクロック入力端子にクロック信号 C を入力し、クロックドインバータ INV 3, INV 5 の P N O S 側のクロック入力端子にクロック信号 C を入力する一方、N M O S 側のクロック入力端子にクロック信号 / C を入力している。

## 【 0 0 8 1 】

このように、上記 D 型フリップフロップは、1 個のインバータと 2 個のクロックドインバータからなっており、2 個のクロックドインバータには、それぞれ逆位相のクロック信号が入力されている。そして、隣接する D 型フリップフロップにおいては、それぞれ、逆位相のクロック信号が入力されている。

## 【 0 0 8 2 】

このクロックドインバータ INV 1, インバータ INV 2 およびクロックドインバータ INV 5 からなる D 型フリップフロップにおいて、クロック信号 C K, / C K がアクティブなとき、入力信号 I N が出力信号 O 1 として次段に転送され、クロック信号 C K, / C K が非アクティブなときには、内部状態は保持され、出力信号 O 2 は変化しない。

## 【 0 0 8 3 】

また、図 5 は図 3 に示すシフトレジスタ回路における信号波形を示している。図 5 において、制御信号である排他的論理和信号 (図 5 では X O R 1, X O R 2) は、レジスタブロック B L K 2 の入力信号レベルと出力信号レベルが異なるとき、すなわち D 型フリップフロップ D F F 1 の入力信号レベルと出力信号レベルが異なるときにアクティブとなっており、D 型フリップフロップ D F F 1 (図 3 に示す) の内部クロック信号 (図 5 では C 1, C 2 および / C 1, / C 2) は、排他的論理和信号 (図 5 では X O R 1, X O R 2) がアクティブの期間のみ入力されている。

## 【 0 0 8 4 】

このように、上記排他的論理和回路XOR 1を用いて、簡単な構成で、レジスタブロックBLK 2の入力信号レベルと出力信号レベルが異なるときに転送ゲートTG 1 1, TG 1 2をアクティブ(オン状態)にできる。

【0085】

(第3実施形態)

また、図6はこの発明の第3実施形態のシフトレジスタ回路のブロック図を示しており、図6に示すように、直列に接続された複数のSR型フリップフロップSRFF 1(図6では4つのみを示す)と、SR型フリップフロップSRFF 1毎に設けられた転送ゲートTG 2 1, TG 2 2と、SR型フリップフロップSRFF 1毎に設けられた第1論理演算部としての否定論理和回路NOR s 1と、SR型フリップフロップSRFF 1毎に設けられた第2論理演算部としての否定論理和回路NOR r 1と、インバータIV 1, IV 2とを備えている。上記否定論理和回路NOR s 1の一方の入力端子に前段のSR型フリップフロップSRFF 1の出力信号(または初段のみスタート信号ST)をインバータIV 1を介して入力し、否定論理和回路NOR s 1の他方の入力端子にSR型フリップフロップSRFF 1の出力端子を接続している。上記否定論理和回路NOR s 1の出力端子を転送ゲートTG 2 1の制御入力端子に接続している。上記否定論理和回路NOR r 1の一方の入力端子に前段のSR型フリップフロップSRFF 1の出力信号(初段のSR型フリップフロップSRFF 1のみスタート信号ST)を入力し、否定論理和回路NOR r 1の他方の入力端子にSR型フリップフロップSRFF 1の出力端子をインバータIV 2を介して接続している。上記否定論理和回路NOR s 1の出力端子を転送ゲートTG 2 2の制御入力端子に接続している。上記SR型フリップフロップSRFF 1と転送ゲートTG 2 1, TG 2 2と否定論理和回路NOR s 1, NOR r 1およびインバータIV 1, IV 2でレジスタブロックBLK 3を構成している。

【0086】

上記SR型フリップフロップSRFF 1は、内部をアクティブ状態にするセット信号Sと、非アクティブ状態にするリセット信号Rによって駆動され、セット信号Sおよびリセット信号Rは、前段の出力信号(初段のみスタートST信号)と

自段の出力信号とクロック信号CKから生成される。そして、そのSR型フリップフロップSRFF1に隣接するSR型フリップフロップでは、逆位相のクロック信号がそれぞれ入力される(入力側からの奇数番目はCK、偶数番目は $\neg$ CK)。

#### 【0087】

また、上記転送ゲートTG21は、否定論理和回路NORs1から出力される否定論理和信号によってオン/オフが制御され、この転送ゲートTG21を介してSR型フリップフロップSRFF1にクロック信号CK(偶数番目のSR型フリップフロップSRFF1はクロック信号 $\neg$ CK)がセット信号Sとして入力される。一方、上記転送ゲートTG22は、否定論理和回路NORr1の否定論理和信号によってオン/オフが制御され、この転送ゲートTG22を介してSR型フリップフロップSRFF1にクロック信号CK(偶数番目のSR型フリップフロップSRFF1はクロック信号 $\neg$ CK)がリセット信号Rとして入力される。したがって、レジスタブロックBLK3の入力信号レベルと出力信号レベルとが異なる場合のみ、転送ゲートTG21, TG22が夫々オン(導通)する。

#### 【0088】

ここで、各転送ゲートTG21, TG22は、初段のSR型フリップフロップSRFF1を除き、前段のフリップフロップの出力信号と後段のフリップフロップの出力信号との論理演算結果によって制御されると共に、初段のSR型フリップフロップSRFF1のみ、スタート信号STとそのSR型フリップフロップSRFF1の出力信号との論理演算結果によって制御される。すなわち、セット信号Sに対応する転送ゲートTG21は、レジスタブロックBLK3の入力信号を反転させた反転入力信号と出力信号との否定論理和信号によって制御される一方、リセット信号Rに対応する転送ゲートTG22は、レジスタブロックBLK3の入力信号と出力信号を反転させた反転出力信号との否定論理和信号によって制御される。

#### 【0089】

これにより、レジスタブロックBLK3の入力信号がアクティブ状態かつ出力信号が非アクティブ状態の期間のみ、クロック信号CKまたは $\neg$ CKがセット信

号Sとして入力される一方、レジスタブロックBLK3の入力信号が非アクティブ状態でかつ出力信号がアクティブ状態の期間のみ、クロック信号CKまたは／CKがリセット信号Rとして入力される。すなわち、上記第2実施形態のD型フリップフロップにより構成されたシフトレジスタ回路の場合と同様に、各レジスタブロックBLK3において入力信号レベルと出力信号レベルが異なる場合のみ、そのレジスタブロックBLK3の転送ゲートTG21, TG22がオン(導通)することになる。

#### 【0090】

図7は図6に示すSR型フリップフロップSRFF1の具体的な構成を示している。このSR型フリップフロップは、セット信号SをインバータINV11の入力端子に入力し、そのインバータINV11の出力端子をPMOSトランジスタP1のゲートに接続している。上記PMOSトランジスタP1のソースに電源VDDを接続し、PMOSトランジスタP1のドレインをNMOSトランジスタN1のドレインに接続している。上記NMOSトランジスタN1のゲートにリセット信号Rを入力し、NMOSトランジスタN1のソースにNMOSトランジスタN2のドレインに接続している。上記NMOSトランジスタN2のゲートにインバータINV11の出力端子を接続し、NMOSトランジスタN2のソースをグランドGNDに接続している。また、上記リセット信号Rがゲートに接続されたPMOSトランジスタP2のソースを電源VDDに接続し、PMOSトランジスタP2のドレインをPMOSトランジスタP3のソースに接続している。上記PMOSトランジスタP3のドレインにPMOSトランジスタP1のドレインとNMOSトランジスタN3のドレインとを接続し、NMOSトランジスタN3のソースにNMOSトランジスタN4のドレインを接続している。上記NMOSトランジスタN4のソースをグランドGNDに接続し、NMOSトランジスタN4のゲートにインバータINV11の出力端子を接続している。そして、上記PMOSトランジスタP3のドレインをインバータINV12の入力端子に接続し、インバータINV12の出力端子をインバータINV13の入力端子に接続している。上記インバータINV12の出力端子をPMOSトランジスタP3, NMOSトランジスタN3の各ゲートに接続している。上記インバータINV13か

ら信号OUTを出力する。

#### 【 0 0 9 1 】

図7に示すSR型フリップフロップにおいて、セット信号Sがアクティブになると、出力信号OUTがアクティブとなり、リセット信号Rがアクティブになると、出力信号OUTが非アクティブとなる。セット信号Sおよびリセット信号Rがいずれも入力されない(非アクティブ)ときは、内部状態は保持され、出力信号OUTは変化しない。また、セット信号Sおよびリセット信号Rがいずれも入力された(アクティブ)ときには、出力が不定状態(どちらにもなりうる)となる構成のSR型フリップフロップもあるが、図7に示すシフトレジスタ回路では、そのような不定状態を避けるために、セットが優先される構成となっている。

#### 【 0 0 9 2 】

また、図8(a)～(m)は図6に示すシフトレジスタ回路における信号波形を示している。図8において、セット信号(図8ではS1, S2)に対応する制御信号である否定論理和信号(図8ではNORs1, NORs2)は、当該段のSR型フリップフロップSRFF1の出力信号レベルが非アクティブで、かつ、前段のSR型フリップフロップSRFF1の出力信号レベル(初段のときはスタート信号STのレベル)がアクティブなときにアクティブとなっており、クロック信号CKまたは/CKが、各SR型フリップフロップSRFF1の内部セット信号Sとして入力されていることが判る。また、リセット信号Rに対応する制御信号である否定論理和信号(図8ではNORr1, NORr2)は、当該段のSR型フリップフロップSRFF1の出力信号レベルがアクティブで、かつ、前段のSR型フリップフロップSRFF1の出力信号レベル(初段のときはスタート信号ST)が非アクティブなときにアクティブとなっており、クロック信号CKまたは/CKが、各フリップフロップSRFFのリセット信号Rとして入力されていることが判る。

#### 【 0 0 9 3 】

上記第3実施形態では、第1,第2論理演算部として出力が反転出力の否定論理和回路NORs1, NORr1を用いたが、転送ゲートの制御入力条件等に応じて出力が反転しない論理和回路を用いてもよい。また、上記第1,第2論理演算部は、他の論理演算子を組み合わせても実現できる。



## 【 0 0 9 4 】

## (第 4 実施形態)

上記第 2 , 第 3 実施形態の図 3 および図 6 の構成において、各フリップフロップのクロック入力端子が転送ゲートとしか接続されていないならば、転送ゲートがオフ状態にあるとき、各フリップフロップのクロック入力端子は浮遊状態となる。その場合、外来ノイズや内部リーク電流によって、クロック入力端子の電位レベルが望ましくない方向に変動すると、シフトレジスタ回路が誤動作することになる。この場合、シフトレジスタ回路の動作周波数が高いときには、浮遊状態となっている期間が短くなるため、誤動作の危険性は下がり、内部の寄生容量が十分に大きいときにも、電位レベルは比較的安定するので、同様に誤動作の危険性は下がる。そこで、意図的に、クロック入力端子に容量を付加することも有効である。しかしながら、容量の付加は、回路動作に対しては負担となるので、他の安定化手段を採用することが望ましい。

## 【 0 0 9 5 】

上述のような誤動作の危険性を防ぐために、転送ゲートがオフ状態にある場合には、フリップフロップのクロック入力端子に、フリップフロップがラッチ状態となるようなレベルにすることが望ましい。

## 【 0 0 9 6 】

図 9 はこの発明の第 4 実施形態の転送ゲートがオフ状態にあるときにフリップフロップがラッチ状態となるシフトレジスタ回路の構成を示している。図 9 は、D 型フリップフロップを用いたシフトレジスタ回路の構成であるが、S R 型フリップフロップを用いた構成においても、同様に考えることができる。

## 【 0 0 9 7 】

図 9 に示すように、直列に接続された複数の D 型フリップフロップ D F F 2 ( 図 9 では 4 つのみを示す) と、D 型フリップフロップ D F F 2 毎に設けられた転送ゲート T G 3 1 , T G 3 2 と、D 型フリップフロップ D F F 2 毎に設けられた論理演算部としての排他的論理和回路 X O R 2 とを備えている。上記排他的論理和回路 X O R 2 の一方の入力端子に D 型フリップフロップ D F F 2 の入力端子を接続し、排他的論理和回路 X O R 2 の他方の入力端子に D 型フリップフロップ D

FF 2 の出力端子を接続して、排他的論理和回路 XOR 2 の出力端子を転送ゲート TG 3 1, TG 3 2 の制御入力端子に夫々接続している。上記転送ゲート TG 3 1 は、排他的論理和回路 XOR 2 の排他的論理和信号によってオン／オフが制御され、この転送ゲート TG 3 1 を介して D 型フリップフロップ DFF 2 にクロック信号 CK (偶数番目の D 型フリップフロップ DFF 2 ではクロック信号 / CK) が入力される。上記転送ゲート TG 3 2 は、排他的論理和回路 XOR 2 から出力される排他的論理和信号によってオン／オフが制御され、この転送ゲート TG 3 2 を介して D 型フリップフロップ DFF 2 にクロック信号 / CK (偶数番目の D 型フリップフロップ DFF 2 ではクロック信号 CK) が入力される。したがって、D 型フリップフロップ DFF 2 の入力信号レベルと出力信号レベルとが異なる場合のみ、転送ゲート TG 3 1, TG 3 2 が夫々オン(導通)する。

## 【 0 0 9 8 】

また、上記第 4 実施形態では、論理演算部として排他的論理和回路 XOR 2 を用いたが、論理演算部は他の論理演算子を組み合わせても実現できる。

## 【 0 0 9 9 】

また、上記転送ゲート 3 2 と D 型フリップフロップ DFF 2 との間に、保持信号回路としての転送ゲート TG 3 3 の一端を接続し、転送ゲート TG 3 3 の他端に電源 VDD を接続している。また、上記転送ゲート 3 1 と D 型フリップフロップ DFF 2 との間に、保持信号回路としての転送ゲート TG 3 4 の一端を接続し、転送ゲート TG 3 4 の他端にグランド GND を接続している。そして、上記排他的論理和回路 XOR 2 の出力端子に入力端子が接続されたインバータ IV 2 1 の出力信号によって、転送ゲート TG 3 3, TG 3 4 のオン／オフを制御する。

## 【 0 1 0 0 】

上記 D 型フリップフロップ DFF 2 と転送ゲート TG 3 1, TG 3 2, TG 3 3, TG 3 4 と排他的論理和回路 XOR 2 およびインバータ IV 2 1 でレジスタブロック BLK 4 を構成している。

## 【 0 1 0 1 】

上記 D 型フリップフロップ DFF 2 は、図 3 の D 型フリップフロップ DFF 1 と同様に、クロック信号を D 型フリップフロップ DFF 2 に入力させる転送ゲート

トTG31, TG32が、排他的論理和信号によって制御されている。さらに、転送ゲートTG31, TG32の後段(フリップフロップ側)の転送ゲートTG33, TG34によって、電源レベルまたは接地レベルの保持信号をD型フリップフロップDFF2のクロック入力端子に入力する。上記D型フリップフロップDFF2のクロック入力端子C(信号転送に対応するクロック信号)は、クロック信号の転送ゲートTG31がオフ(非導通)のときには接地レベルとなり、また、D型フリップフロップDFF2のクロック入力端子/C(信号ラッチに対応するクロック信号)は、クロック信号の転送ゲートTG32がオフ(非導通)のときには電源レベルとなる。これにより、クロック信号がD型フリップフロップDFF2に入力されない期間は、内部状態を保持する保持信号が各D型フリップフロップDFF2に入力されることになるので、動作の安定性を確保することができる。

【0102】

(第5実施形態)

図10はこの発明の第5実施形態の画像表示装置の構成を示すブロック図である。

【0103】

図10において、画像表示装置には、画素アレイARY1とデータ信号線駆動回路SD1、走査信号線駆動回路GD1、プリチャージ回路PC1、コントロール回路CT1等からなっており、データ信号線駆動回路SD1, 走査信号線駆動回路GD1およびプリチャージ回路PC1は、コントロール回路CT1で生成された信号により駆動されている。なお、この画像表示装置の画素PIXの内部構成は図35の画素PIXと同一の構成をしている。

【0104】

図11はデータ信号線駆動回路SD1の構成を示している。上記データ信号線駆動回路のシフトレジスタ回路は、図11に示すように、直列に接続された複数のフリップフロップFF2と、フリップフロップFF2毎に設けられた転送ゲートTG41, TG42とを備えている。そして、フリップフロップFF2の出力端子を否定論理積回路NAND1の一方の入力端子に接続し、後段のフリップフロップFF2の出力端子を否定論理積回路NAND1の他方の入力端子に接続し

ている。上記否定論理積回路NAND1の出力端子を直列に接続されたインバータIV31,IV32を介してアナログスイッチAS1の一方の制御入力端子に接続し、否定論理積回路NAND1の出力端子をインバータIV33を介してアナログスイッチAS1の他方の制御入力端子に接続している。上記アナログスイッチAS1の入力端子に映像信号DATが入力され、制御入力(図11ではS1~S4,/S1~/S4)によってアナログスイッチAS1をオンオフし、映像信号DATがデータ信号線(図11ではSL1~SL4)に出力される。

## 【0105】

また、図12は上記走査信号線駆動回路GD1の構成を示している。上記走査信号線駆動回路のシフトレジスタ回路は、図12に示すように、直列に接続された複数のフリップフロップFF3と、フリップフロップFF3毎に設けられた転送ゲートTG51,TG52とを備えている。そして、フリップフロップFF3の出力端子を否定論理積回路NAND2の一方の入力端子に接続し、後段のフリップフロップFF3の出力端子を否定論理積回路NAND2の他方の入力端子に接続している。上記否定論理積回路NAND2の出力端子を否定論理和回路NOR1の一方の入力端子に接続し、否定論理和回路NOR1の他方の入力端子にイネーブル信号GENを入力している。上記否定論理和回路NOR1の出力端子にインバータIV41の入力端子を接続し、インバータIV41の出力端子をインバータIV42の入力端子に接続している。そして、上記インバータIV42から走査信号線(図12ではGL1~GL4)に走査信号が出力される。

## 【0106】

ここで、データ信号線駆動回路SD1または走査信号線駆動回路GD1に、上記第2実施形態で示したシフトレジスタ回路を用いることにより、クロック信号SCK,/SCK,GCK,/GCKの信号線の容量負荷が低減されるので、低消費電力化と低コスト化が実現できる。

## 【0107】

また、図13(a)~(j),図14(a)~(j)は、図11に示すデータ信号線駆動回路の内部波形を示す図である。

## 【0108】

図 1 3 (a)～(j)において、シフトレジスタ回路を転送されるパルス幅は最小限(クロック信号 G C K 1 周期分)であるのに対し、図 1 4 (a)～(j)においては、パルス幅を広くしている。しかし、パルス幅が異なるにも関わらず、転送ゲートの制御信号がアクティブな期間(クロック信号が入力される期間)は同じである。すなわち、どのようなパルス幅に対しても、クロック信号線の負荷を最小限(2 個以下)に抑えることができる。

#### 【 0 1 0 9 】

ここで、パルス幅を変えることのメリットとして、例えば、次の 2 点が挙げられる。

#### 【 0 1 1 0 】

1 つは、データ信号線駆動回路のサンプリングパルス(画像データをデータ信号線に書き込むためのパルス)の幅を最適化することである。サンプリングパルスの幅が狭いと、映像信号を十分にデータ信号線に書き込むことができなくなり、表示品位を落とすことになる。しかし、逆に長くしすぎると、映像信号線の負荷が重くなり、外部 I C (ビデオアンプ等)の負担が大きくなる恐れがある。したがって、画像表示装置の仕様(表示サイズ、解像度、駆動周波数、駆動電圧など)により最適なサンプリングパルスを採用することが望ましい。このデータ信号線駆動回路の構成では、このように最適化したサンプリングパルス幅に対しても、クロック信号線の負荷を十分に小さくすることが可能である。

#### 【 0 1 1 1 】

もう 1 つは、ワイド画面表示時のサイドブラック(映像領域の上下の黒表示領域)の書き込みが挙げられる。サイドブラックの映像信号(黒信号)の書き込みは、データ信号線駆動回路を用いて行うことができるが、垂直帰線期間に行う必要があり、通常の画像表示と同じの駆動速度(サンプリング期間)では時間が足りない。したがって、映像信号(サイドブラック信号)を 1 データ信号線ずつではなく、一括して書き込むことが必要である。そのためには、シフトレジスタ回路内を転送されるパルスの幅を十分に長くすることにより、シフトレジスタ回路を構成する各フリップフロップの出力をすべてアクティブとすることが必要である。このデータ信号線駆動回路の構成によれば、このようにパルス幅が極端に長い場合

においても、クロック信号線の負荷を十分に小さくすることが可能である。

#### 【 0 1 1 2 】

##### (第 6 実施形態)

図 1 5 は、この発明の第 6 実施形態のシフトレジスタ回路の構成を示すブロック図である。なお、このシフトレジスタ回路は、レベル変換回路を除いて第 1 実施形態と同一の構成をしている。このシフトレジスタ回路は、図 1 5 において、直列に接続された複数のフリップフロップ F F 4 と、フリップフロップ F F 4 毎に設けられた転送ゲート T G 6 1 と、スタート信号 S T が入力端子に接続され、出力端子が初段のフリップフロップ F F 4 の入力端子に接続されたレベル変換回路 L S 1 と、各フリップフロップ F F 4 毎に設けられたレベル変換回路 L S 2 とを備えている。そして、クロック信号 / C K は、制御信号 (図 1 5 では C T L 1 ~ C T L 4 ) によってオン / オフが制御される転送ゲート T G 6 1 を介してレベル変換回路 L S 2 に入力され、上記制御信号によって動作が制御されるレベル変換回路 L S 2 においてその信号のレベルを変換 (振幅を拡大) した後、フリップフロップ F F 4 に入力されている。上記フリップフロップ F F 4 と転送ゲート T G 6 1 とレベル変換回路 L S 2 でレジスタブロック B L K 5 を構成している。

#### 【 0 1 1 3 】

また、図 1 6 (a) ~ (j) は上記シフトレジスタ回路における信号波形を示している。図 1 6 に示すように、制御信号 (図 1 6 では C T L 1 ~ C T L 4 ) は、対応するフリップフロップ F F 4 の内部状態 (図 1 6 では出力信号 O U T 1 ~ O U T 4 ) が変化するときのみ、アクティブとなるように設定されている。したがって、クロック信号 / C K は、対応するフリップフロップ F F 4 の出力信号 (図 1 6 では O U T 1 ~ O U T 4 ) が変化するときのみ、振幅が拡大されてフリップフロップ F F 4 に入力される。

#### 【 0 1 1 4 】

上記フリップフロップ F F 4 は、最低限、内部状態が変化するタイミングでのみ、クロック信号が供給されれば正常に動作するので、図 1 6 のような制御信号で充分であり、これにより、クロック信号が入力される期間を短くすることができるので、クロック信号線の負荷を最小限に抑えることができる。

## 【0115】

さらに、上記レベル変換回路LS2が動作する期間も短くすることができるので、レベル変換回路LS2での消費電力を最小限に抑えることができる。特に、レベル変換回路として、低いトランジスタ特性(しきい値電圧が大、移動度が小、チャンネル長が長い等)でも動作するように、定常電流が流れるタイプのものを採用している場合には、消費電流低減の効果は極めて大きくなる。

## 【0116】

また、図16における制御信号は、フリップフロップFF4(図15に示す)の入力信号レベルと出力信号レベルとが異なる期間のみ、アクティブとなっている。

## 【0117】

上記シフトレジスタ回路において、フリップフロップFF4の内部状態が変化するの、フリップフロップの入力信号レベルと出力信号レベルとが異なっているときであるので、フリップフロップの入力信号レベルと出力信号レベルとが異なるか否かを検知して、その結果を制御信号とすることにより、簡単な構成でクロック信号線の容量負荷を低減して、外部回路の負荷を低減でき、低消費電力化と低コスト化が図れるシフトレジスタ回路を実現することができる。

## 【0118】

## (第7実施形態)

図17はこの発明の第7実施形態のシフトレジスタ回路の構成を示すブロック図である。このシフトレジスタ回路は、レベル変換回路を除いて第2実施形態の図3に示すシフトレジスタ回路と同一の構成をしている。

## 【0119】

このシフトレジスタ回路は、図17に示すように、直列に接続された複数のD型フリップフロップDFF3(図17では4つのみを示す)と、D型フリップフロップDFF3毎に設けられた転送ゲートTG71, TG72と、スタート信号STが入力端子に接続され、出力端子が初段のフリップフロップFF3の入力端子に接続されたレベル変換回路LS11と、D型フリップフロップDFF3毎に設けられたレベル変換回路LS12と、D型フリップフロップDFF3毎に設けら

れた論理演算部としての排他的論理和回路XOR3とを備えている。上記排他的論理和回路XOR3の一方の入力端子にD型フリップフロップDFF3の入力端子を接続し、排他的論理和回路XOR3の他方の入力端子にD型フリップフロップDFF3の出力端子を接続して、排他的論理和回路XOR3の出力端子を転送ゲートTG71, TG72の制御入力端子に接続している。上記D型フリップフロップDFF3と転送ゲートTG71, TG72と排他的論理和回路XOR3およびレベル変換回路LS12でレジスタブロックBLK6を構成している。

## 【0120】

また、上記第7実施形態では、論理演算部として排他的論理和回路XOR3を用いたが、論理演算部は他の論理演算子を組み合わせても実現できる。

## 【0121】

上記転送ゲートTG71は、排他的論理和回路XOR3から出力される排他的論理和信号によってオン/オフが制御され、この転送ゲートTG71を介してレベル変換回路LS12にクロック信号CK(偶数番目のレジスタブロックBLK6ではクロック信号/CK)が入力され、レベルシフト回路LS12によりレベル変換(振幅を拡大)されたクロック信号CK(偶数番目のレジスタブロックBLK6ではクロック信号/CK)がD型フリップフロップDFF3に入力されている。一方、上記転送ゲートTG72は、排他的論理和回路XOR3から出力される排他的論理和信号によってオン/オフが制御され、この転送ゲートTG72を介してレベル変換回路LS12にクロック信号/CK(偶数番目のレジスタブロックBLK6ではクロック信号CK)が入力され、レベル変換回路LS12によりレベル変換(振幅を拡大)されたクロック信号/CK(偶数番目のレジスタブロックBLK6ではクロック信号CK)がD型フリップフロップDFF3に入力されている。

## 【0122】

上記構成のシフトレジスタ回路において、D型フリップフロップDFF3の入力信号レベルと出力信号レベルとが異なる場合のみ、転送ゲートTG71, TG72が夫々オン(導通)し、レベル変換回路LS12が動作状態となる。

## 【0123】



上記D型フリップフロップDFF3の具体的な構成は、第2実施形態の図4に示すD型フリップフロップDFF3と同一の構成である。このD型フリップフロップにおいては、クロック信号CK, /CKがアクティブなとき、入力信号INが出力信号として次段のD型フリップフロップDFF3に転送され、クロック信号CK, /CKが非アクティブなときには、内部状態は保持され、出力信号は変化しない。

#### 【0124】

また、図18(a)～(k)は図17に示すシフトレジスタ回路における信号波形を示している。図18において、制御信号である排他的論理和信号(図18においてXOR1, XOR2)は、レジスタブロックBLK6の入力信号レベルと出力信号レベルとが異なるときにアクティブとなっており、各フリップフロップDFF3(図17に示す)の内部クロック信号Cおよび/Cは、排他的論理和信号がアクティブの期間のみ入力されていることが判る。

#### 【0125】

図19は図17に示すシフトレジスタ回路に用いられるレベル変換回路の回路図を示している。図19に示すように、制御信号CTLをPMOSトランジスタP21のゲートに接続し、PMOSトランジスタP21のソースに電源VDDを接続している。上記PMOSトランジスタP21のドレインにNMOSトランジスタN21のドレインを接続し、NMOSトランジスタN21のゲートに制御信号CTLを入力すると共に、NMOSトランジスタN21のソースに入力信号/INを入力している。そして、上記PMOSトランジスタP21のドレインにPMOSトランジスタP22のゲートを接続し、PMOSトランジスタP22のソースに電源VDDを接続している。上記PMOSトランジスタP22のドレインにPMOSトランジスタP23のソースを接続し、PMOSトランジスタP23のドレインをグランドGNDに接続すると共に、PMOSトランジスタP23のゲートに入力信号INを入力している。上記PMOSトランジスタP23のソースにNMOSトランジスタN22のドレインを接続し、NMOSトランジスタN22のソースにグランドGNDを接続している。上記PMOSトランジスタP21のドレインにNMOSトランジスタN22のゲートを接続している。さらに、

上記NMOSトランジスタN22のドレインにPMOSトランジスタP24のゲートを接続し、PMOSトランジスタP24のソースに電源VDDを接続している。上記PMOSトランジスタP24のドレインにNMOSトランジスタN24のドレインを接続し、NMOSトランジスタN24のゲートをNMOSトランジスタN22のドレインに接続し、NMOSトランジスタN24のソースをPMOSトランジスタP21のドレインに接続している。そして、上記PMOSトランジスタP24のドレインをPMOSトランジスタP25のゲートに接続し、PMOSトランジスタP25のソースを電源VDDに接続している。上記PMOSトランジスタP25のドレインをNMOSトランジスタN25のドレインに接続し、NMOSトランジスタN25のソースをグランドGNDに接続し、NMOSトランジスタN25のゲートをPMOSトランジスタP24のドレインに接続している。上記PMOSトランジスタP25のドレインから出力信号OUTが出力されると共に、PMOSトランジスタP24のドレインから出力信号／OUTが出力される。

## 【0126】

上記レベル変換回路のCTL, IN, /IN, OUTおよび／OUTには、図17に示すレベル変換回路LS12の左側の制御入力端子, 左上側の入力端子, 右上側の入力端子, 左下側の出力端子および右下側の出力端子に夫々対応している。

## 【0127】

また、図20は図17に示すシフトレジスタ回路に用いられる他のレベル変換回路の回路図を示している。このレベル変換回路は、図20に示すように、入力信号INをPMOSトランジスタP31のゲートにNMOSトランジスタN34を介して入力し、PMOSトランジスタP31のソースにPMOSトランジスタP33のドレインを接続している。上記PMOSトランジスタP33のソースに電源VDDを接続し、PMOSトランジスタP33のゲートに定バイアス源(図示せず)からの信号Vbを入力している。また、上記PMOSトランジスタP31のソースにPMOSトランジスタP32のソースを接続している。上記PMOSトランジスタP31のドレインにNMOSトランジスタN31のドレインを接続し、NMOSトランジスタN31のソースをNMOSトランジスタN33のド

レインに接続している。一方、上記PMOSトランジスタP32のドレインにNMOSトランジスタN32のドレインを接続し、NMOSトランジスタN32のソースをNMOSトランジスタN33のドレインに接続している。上記NMOSトランジスタN33のソースをグランドGNDに接続している。上記NMOSトランジスタN31のゲートとドレインを接続し、NMOSトランジスタN31, N32のゲート同士を接続している。さらに、上記PMOSトランジスタP32のゲートにNMOSトランジスタN35を介して入力信号/INを入力している。上記NMOSトランジスタN33, N34, N35のゲートに制御信号CTLを入力している。そして、上記PMOSトランジスタP32のドレインをPMOSトランジスタP34のドレインに接続し、PMOSトランジスタP34のソースに電源VDDを接続し、PMOSトランジスタP34のゲートに制御信号CTLを入力している。上記PMOSトランジスタP32のドレインから出力信号OUTを出力する。また、上記PMOSトランジスタP32のドレインをPMOSトランジスタP36のゲートに接続し、PMOSトランジスタP36のソースを電源VDDに接続している。上記PMOSトランジスタP36のドレインをNMOSトランジスタN36のドレインに接続し、NMOSトランジスタN36のゲートをPMOSトランジスタP36のゲートに接続し、NMOSトランジスタN36のソースをグランドGNDに接続している。上記PMOSトランジスタP36のドレインから出力信号/OUTを出力する。

## 【0128】

上記レベル変換回路のCTL, IN, /IN, OUTおよび/OUTは、図17に示すレベル変換回路LS12の左側の制御入力端子, 左上側の入力端子, 右上側の入力端子, 左下側の出力端子および右下側の出力端子に夫々対応している。

## 【0129】

このように、上記排他的論理和回路XOR3を用いて、簡単な構成で、レジスタブロックBLK2の入力信号レベルと出力信号レベルが異なるときに転送ゲートTG71, TG72をアクティブ(オン状態)にでき、D型フリップフロップDFF3は、内部状態が変化するタイミングでのみクロック信号が供給されて、クロック信号が入力される期間を短くすることができるので、クロック信号線の負

荷を最小限に抑えることができる。

【0130】

さらに、上記レベル変換回路LS12が動作する期間も短くすることができるので、レベル変換回路LS12での消費電力を最小限に抑えることができる。

【0131】

(第8実施形態)

図21はこの発明の第8実施形態のシフトレジスタ回路の構成を示すブロック図である。このシフトレジスタ回路は、レベルシフト回路を除いて第3実施形態の図6に示すシフトレジスタ回路と同一の構成をしている。

【0132】

図21に示すように、直列に接続された複数のSR型フリップフロップSRFF2(図21では4つのみを示す)と、SR型フリップフロップSRFF2毎に設けられた転送ゲートTG81, TG82と、SR型フリップフロップSRFF2毎に設けられた第1論理演算部としての否定論理和回路NORs2と、SR型フリップフロップSRFF2毎に設けられた第2論理演算部としての否定論理和回路NORr2と、インバータIV51, IV52と、スタート信号STをレベル変換するレベル変換回路LS21と、SR型フリップフロップSRFF2毎に設けられたレベル変換回路LS22とを備えている。上記否定論理和回路NORs2の一方の入力端子に前段のSR型フリップフロップSRFF2の出力信号(初段のSR型フリップフロップSRFF2のみスタート信号ST)をインバータIV51を介して入力し、否定論理和回路NORs2の他方の入力端子にSR型フリップフロップSRFF2の出力端子を接続している。上記否定論理和回路NORs2の出力端子を転送ゲートTG81の制御入力端子に接続している。上記否定論理和回路NORr2の一方の入力端子に前段のSR型フリップフロップSRFF2の出力信号(初段のSR型フリップフロップSRFF2のみスタート信号ST)を入力し、否定論理和回路NORr2の他方の入力端子にSR型フリップフロップSRFF2の出力端子をインバータIV52を介して接続している。上記否定論理和回路NORs2の出力端子を転送ゲートTG82の制御入力端子に接続している。

## 【 0 1 3 3 】

上記SR型フリップフロップSRFF2と転送ゲートTG81, TG82と否定論理和回路NORs2, NORr2とインバータIV51, IV52およびレベル変換回路LS22でレジスタブロックBLK7を構成している。

## 【 0 1 3 4 】

上記転送ゲートTG81は、否定論理和回路NORs2から出力される否定論理和信号によってオン／オフが制御され、この転送ゲートTG81を介してレベル変換回路LS22にクロック信号CK(偶数番目のレジスタブロックBLK7ではクロック信号／CK)が入力され、レベルシフト回路LS22によりレベル変換(振幅を拡大)されたクロック信号CK(偶数番目のレジスタブロックBLK7ではクロック信号／CK)がSR型フリップフロップSRFF2のセット端子に入力されている。一方、上記転送ゲートTG82は、否定論理和回路NORr2から出力される否定論理和信号によってオン／オフが制御され、この転送ゲートTG82を介してレベル変換回路LS22にクロック信号／CK(偶数番目のレジスタブロックBLK7ではクロック信号CK)が入力され、レベル変換回路LS22によりレベル変換(振幅を拡大)されたクロック信号／CK(偶数番目のレジスタブロックBLK7ではクロック信号CK)がSR型フリップフロップSRFF2のリセット端子に入力されている。

## 【 0 1 3 5 】

上記構成のシフトレジスタ回路において、クロック信号CK(偶数番目のレジスタブロックBLK7はクロック信号／CK)は、転送ゲートTG81, TG82を介してレベル変換回路LS22に入力され、レベル変換回路LS22により振幅を拡大された後、各SR型フリップフロップSRFF2にセット信号S, リセット信号Rとして入力される。ここで、転送ゲートTG81, TG82およびレベル変換回路LS22は、レジスタブロックBLK7の入力信号と出力信号レベル演算結果によって制御されている。すなわち、セット信号Sに対応する転送ゲートTG81の制御信号は、レジスタブロックBLK7の入力信号を反転させた反転入力信号と、そのレジスタブロックBLK7の出力信号との否定論理和信号によって制御され、一方、リセット信号Rに対応する転送ゲートTG82の制御

信号は、レジスタブロック B L K 7 の入力信号と、そのレジスタブロック B L K 7 の出力信号を反転させた反転出力信号との否定論理和信号によって制御される。これにより、当該段の S R 型フリップフロップ S R F F 2 が非アクティブ状態で、前段の S R 型フリップフロップ S R F F 2 がアクティブ状態(初段の S R 型フリップフロップ S R F F 2 のみスタート信号 S T がアクティブ)の期間のみ、クロック信号 C K (偶数番目のレジスタブロック B L K 7 はクロック信号 / C K) が、セット信号 S として入力される。一方、当該段の S R 型フリップフロップ S R F F 2 がアクティブ状態で、前段の S R 型フリップフロップ S R F F 2 が非アクティブ状態(初段の S R 型フリップフロップ S R F F 2 のみスタート信号 S T が非アクティブ)の期間のみ、クロック信号 C K (偶数番目のレジスタブロック B L K 7 はクロック信号 / C K) が、リセット信号 R として入力される。すなわち、上記 D 型フリップフロップにより構成されたシフトレジスタ回路の場合と同様に、レジスタブロック B L K 7 の入力信号レベルと出力信号レベルとが異なる場合のみ、転送ゲート T G 8 1 , T G 8 2 がオン(導通)することになる。

## 【 0 1 3 6 】

上記 S R 型フリップフロップ S R F F 2 は、第 3 実施形態の図 7 に示す S R 型フリップフロップと同一の構成をしている。この S R 型フリップフロップでは、セット信号 S がアクティブになると、出力信号 O U T がアクティブとなり、リセット信号 R がアクティブになると、出力信号 O U T が非アクティブとなる。セット信号 S およびリセット信号 R がいずれも入力されない(非アクティブ)ときは、内部状態は保持され、出力信号 O U T は変化しない。また、セット信号 S およびリセット信号 R がいずれも入力された(アクティブ)ときには、出力が不定状態(どちらにもなりうる)となる構成の S R 型フリップフロップもあるが、図 2 1 に示す S R 型フリップフロップ S R F F 2 では、そのような不定状態を避けるために、セットが優先される構成となっている。

## 【 0 1 3 7 】

また、図 2 2 (a) ~ (m) は図 2 1 に示すシフトレジスタ回路における信号波形を示している。図 2 2 において、セット信号(図 2 2 では S 1 , S 2 )に対応する制御信号である否定論理和信号(図 2 2 では N O R s 1 , N O R s 2)は、当該段の S R

型フリップフロップSRFF2(図21に示す)の出力信号レベルが非アクティブで、かつ、前段のSR型フリップフロップSRFF2の出力信号レベル(初段のSR型フリップフロップSRFF2のみスタート信号ST)がアクティブなときにアクティブとなっており、クロック信号CK(偶数番目のレジスタブロックBLK7はクロック信号/CK)が、各フリップフロップSRFF2の内部セット信号Sとして入力されていることが判る。また、リセット信号(図22ではR1, R2)に対応する制御信号である否定論理和信号は、当該段のフリップフロップの出力信号レベルがアクティブで、かつ、前段のフリップフロップの出力信号レベルが非アクティブなときにアクティブとなっており、クロック信号CK(偶数番目のレジスタブロックBLK7はクロック信号/CK)が、各フリップフロップSRFF2のリセット信号Rとして入力されていることが判る。

## 【0138】

このように、上記否定論理和回路NORs2, NORr2およびインバータIV71, IV72を用いて、簡単な構成で、レジスタブロックBLK7の入力信号レベルと出力信号レベルが異なるときに転送ゲートTG101, TG102をアクティブ(オン状態)にでき、SR型フリップフロップSRFF2は、内部状態が変化するタイミングでのみクロック信号が供給されて、クロック信号が入力される期間を短くすることができるので、クロック信号線の負荷を最小限に抑えることができる。

## 【0139】

さらに、上記レベル変換回路LS22が動作する期間も短くすることができるので、レベル変換回路LS22での消費電力を最小限に抑えることができる。

## 【0140】

上記第8実施形態では、第1,第2論理演算部として出力が反転出力の否定論理和回路NORs2, NORr2を用いたが、転送ゲートの制御入力条件等に応じて出力が反転しない論理和回路を用いてもよい。また、上記第1,第2論理演算部は、他の論理演算子を組み合わせても実現できる。

## 【0141】

(第9実施形態)

図 1 7 および図 2 1 のシフトレジスタ回路の構成において、各フリップフロップのクロック入力端子が転送ゲートとしか接続されていないならば、転送ゲートがオフ状態にあるとき、各フリップフロップのクロック入力端子は浮遊状態となる。その場合、外来ノイズや内部リーク電流によって、クロック入力端子の電位レベルが望ましくない方向に変動すると、シフトレジスタ回路が誤動作することになる。この場合、シフトレジスタ回路の動作周波数が高いときには、浮遊状態となっている期間が短くなるため、誤動作の危険性は下がり、内部の寄生容量が十分に大きいときにも、電位レベルは比較的安定するので、同様に誤動作の危険性は下がるので、意図的に、クロック入力端子に容量を付加することも有効である。しかしながら、容量の付加は、回路動作に対しては負担となるので、他の安定化手段を採用することが望ましい。

#### 【 0 1 4 2 】

そこで、このような誤動作の危険性を防ぐために、転送ゲートがオフ状態にある場合には、フリップフロップのクロック入力端子に、フリップフロップがラッチ状態となるようなレベルにすることが望ましい。

#### 【 0 1 4 3 】

図 2 3 はこの発明の第 9 実施形態の転送ゲートがオフ状態にあるときにフリップフロップがラッチ状態となるシフトレジスタ回路の構成を示すブロック図である。このシフトレジスタ回路は、後述する転送ゲート T G 9 3 , T G 9 4 およびインバータ I V 6 1 を除いて第 7 実施形態の図 1 7 に示すシフトレジスタと同一の構成をしている。なお、図 2 3 に示すシフトレジスタ回路では、D 型フリップフロップを用いているが、S R 型フリップフロップを用いた構成のシフトレジスタ回路においても、同様に考えることができる。

#### 【 0 1 4 4 】

このシフトレジスタ回路は、図 2 3 に示すように、直列に接続された複数の D 型フリップフロップ D F F 4 (図 2 3 では 4 つのみを示す)と、D 型フリップフロップ D F F 4 毎に設けられた転送ゲート T G 9 1 , T G 9 2 と、スタート信号 S T が入力端子に接続され、出力端子が初段のフリップフロップ F F 4 の入力端子に接続されたレベル変換回路 L S 3 1 と、D 型フリップフロップ D F F 4 毎に設



けられたレベル変換回路 L S 3 2 と、D型フリップフロップ D F F 4 毎に設けられた論理演算部としての排他的論理和回路 X O R 4 とを備えている。上記排他的論理和回路 X O R 4 の一方の入力端子にD型フリップフロップ D F F 4 の入力端子を接続し、排他的論理和回路 X O R 4 の他方の入力端子にD型フリップフロップ D F F 4 の出力端子を接続して、排他的論理和回路 X O R 4 の出力端子を転送ゲート T G 9 1 , T G 9 2 の制御入力端子に接続している。上記D型フリップフロップ D F F 4 と転送ゲート T G 9 1 , T G 9 2 と排他的論理和回路 X O R 4 およびレベル変換回路 L S 3 2 でレジスタブロック B L K 8 を構成している。

#### 【 0 1 4 5 】

また、上記第 9 実施形態では、論理演算部として排他的論理和回路 X O R 4 を用いたが、論理演算部は他の論理演算子を組み合わせても実現できる。

#### 【 0 1 4 6 】

上記転送ゲート T G 9 1 は、排他的論理和回路 X O R 4 から出力される排他的論理和信号によってオン／オフが制御され、この転送ゲート T G 9 1 を介してレベル変換回路 L S 3 2 にクロック信号 C K (偶数番目のレジスタブロック B L K 8 ではクロック信号／C K)が入力され、レベルシフト回路 L S 3 2 によりレベル変換(振幅を拡大)されたクロック信号 C K (偶数番目のレジスタブロック B L K 8 ではクロック信号／C K)がD型フリップフロップ D F F 4 に入力されている。一方、上記転送ゲート T G 9 2 は、排他的論理和回路 X O R 4 から出力される排他的論理和信号によってオン／オフが制御され、この転送ゲート T G 9 2 を介してレベル変換回路 L S 3 2 にクロック信号／C K (偶数番目のレジスタブロック B L K 8 ではクロック信号 C K)が入力され、レベル変換回路 L S 3 2 によりレベル変換(振幅を拡大)されたクロック信号／C K (偶数番目のレジスタブロック B L K 8 ではクロック信号 C K)がD型フリップフロップ D F F 4 に入力されている。さらに、転送ゲート T G 9 1 の後段(フリップフロップ側)に、接地レベルの保持信号をD型フリップフロップ D F F 4 のクロック入力端子に接続するための保持信号回路としての転送ゲート T G 9 4 と、転送ゲート T G 9 2 の後段(フリップフロップ側)に、電源レベルの保持信号をD型フリップフロップ D F F 4 のクロック入力端子に接続するための保持信号回路としての転送ゲート T G 9

3 とを備えている。

【0147】

上記構成のシフトレジスタ回路において、D型フリップフロップDFF4のクロック入力端子C(信号転送に対応するクロック信号)は、クロック信号の転送ゲートTG91がオフ(非導通)のときには接地レベル(非アクティブ)となり、また、D型フリップフロップDFF4のクロック入力端子/C(信号ラッチに対応するクロック信号)は、クロック信号の転送ゲートTG92がオフ(非導通)のときには電源レベル(アクティブ)となる。これにより、クロック信号CK,/CKがD型フリップフロップDFF4に入力されない期間は、内部状態を保持する保持信号が各D型フリップフロップDFF4に入力されることになるので、動作の安定性を確保することができる。

【0148】

(第10実施形態)

また、上記第6～第9実施形態のシフトレジスタ回路において、転送ゲートがオフ状態にある期間は、各レベル変換回路は動作する必要がないため、電流が流れない状態にしておくことが、消費電力の点から望ましい。

【0149】

そこで、この発明の第10実施形態のシフトレジスタ回路では、図2に示すように定常電流が流れるタイプのレベル変換回路を用いた場合、図24に示すように入力信号レベルを電源電位あるいは接地電位に固定して、電流は流れないようにしている。

【0150】

このシフトレジスタ回路は、図24に示すように、直列に接続された複数のフリップフロップDFF5と、各D型フリップフロップDFF5毎に設けられた転送ゲートTG101,TG102と、スタート信号STが入力端子に接続され、出力端子が初段のD型フリップフロップDFF5の入力端子に接続されたレベル変換回路LS41と、D型フリップフロップDFF5毎に設けられたレベル変換回路LS42と、入力端子に制御信号が入力されたインバータIV71と、そのインバータIV71の出力端子が制御入力端子に接続されたオフ状態用信号回路

としての転送ゲートTG103, TG104とを備えている。上記転送ゲートTG101とレベル変換回路LS42との間に転送ゲートTG103の一端を接続し、転送ゲートTG103の他端にグランドGNDを接続している。また、上記転送ゲートTG102とレベル変換回路LS42との間に転送ゲートTG104の一端を接続し、転送ゲートTG104の他端に電源VDDを接続している。

## 【0151】

上記D型フリップフロップDFF5と転送ゲートTG101, TG102, TG103, TG104とインバータIV71およびレベル変換回路LS42でレジスタブロックBLK9を構成している。

## 【0152】

そして、クロック信号CK(偶数番目のレジスタブロックBLK9ではクロック信号/CK)は、制御信号(図15ではCTL1~CTL4)によってオン/オフが制御される転送ゲートTG101を介してレベル変換回路LS42に入力され、上記制御信号によって動作が制御されるレベル変換回路LS42によりその振幅が拡大された後、D型フリップフロップDFF5に入力されている。一方、クロック信号/CK(偶数番目のレジスタブロックBLK9ではクロック信号CK)は、制御信号によってオン/オフが制御される転送ゲートTG102を介してレベル変換回路LS42に入力され、上記制御信号によって動作が制御されるレベル変換回路LS42によりその振幅が拡大された後、D型フリップフロップDFF5に入力されている。

## 【0153】

上記シフトレジスタ回路では、転送ゲートTG101がオフ(非導通)の期間は、付加された転送ゲートTG103によってレベル変換回路LS42の入力端子に接地電位が入力される。一方、転送ゲートTG102がオフ(非導通)の期間は、付加された転送ゲートTG104によってレベル変換回路LS42の入力端子に電源電位が入力される。

## 【0154】

また、図25はこの第10実施形態のレベル変換回路LS42の具体的な回路を示している。この図25に示すレベル変換回路は、差動増幅器の一種であり、

入力信号  $IN$ ， $\neg IN$  の振幅差を増幅して出力するものである。図 2 5 に示すように、このレベル変換回路は、入力信号  $IN$  を PMOS トランジスタ  $P11$  のゲートに入力し、PMOS トランジスタ  $P11$  のソースに PMOS トランジスタ  $P13$  のドレインを接続している。上記 PMOS トランジスタ  $P13$  のソースに電源  $VDD$  を接続し、PMOS トランジスタ  $P13$  のゲートに定バイアス源(図示せず)からの信号  $Vb$  を入力している。また、上記 PMOS トランジスタ  $P11$  のソースに PMOS トランジスタ  $P12$  のソースを接続し、PMOS トランジスタ  $P12$  のゲートに入力信号  $\neg IN$  を入力している。上記 PMOS トランジスタ  $P11$  のドレインに NMOS トランジスタ  $N11$  のドレインを接続し、NMOS トランジスタ  $N11$  のソースをグランド  $GND$  に接続している。一方、上記 PMOS トランジスタ  $P12$  のドレインに NMOS トランジスタ  $N12$  のドレインを接続し、NMOS トランジスタ  $N12$  のソースをグランド  $GND$  に接続している。上記 NMOS トランジスタ  $N11$  のゲートとドレインを接続し、NMOS トランジスタ  $N11$ ， $N12$  のゲート同士を接続している。そして、上記 PMOS トランジスタ  $P11$  のドレインから出力信号  $\neg OUT$  を出力し、PMOS トランジスタ  $P12$  のドレインから出力信号  $OUT$  を出力する。

## 【0155】

図 2 5 に示すレベル変換回路の  $IN$ ， $\neg IN$ ， $OUT$  および  $\neg OUT$  は、図 2 4 に示すレベル変換回路  $LS42$  の左上側の入力端子、右上側の入力端子、左下側の出力端子および右下側の出力端子に夫々対応している。

## 【0156】

このように、上記転送ゲート  $TG101$ ， $TG102$  がオフ状態のとき、オフ状態用信号回路としての転送ゲート  $TG103$ ， $TG104$  を用いて、レベル変換回路  $LS42$  の入力信号レベルを電源電位または接地電位に固定することによって、レベル変換回路  $LS42$  に電流は流れないようにして、レベル変換回路  $LS42$  の消費電流を低減することができる。

## 【0157】

(第 1 1 実施形態)

また、図 2 6 はこの発明の第 1 1 実施形態のシフトレジスタ回路のブロック図

を示しており、このシフトレジスタ回路は、図 2 6 に示すように、転送ゲートがオフ状態にある期間は、レベル変換回路に電源を供給する電源線を制御信号によって遮断して、レベル変換回路に電流が流れない状態にしている。

#### 【 0 1 5 8 】

このシフトレジスタ回路は、図 2 6 に示すように、直列に接続された複数の D 型フリップフロップ D F F 6 と、D 型フリップフロップ D F F 6 毎に設けられた転送ゲート T G 1 1 1 , T G 1 1 2 と、スタート信号 S T が入力端子に接続され、出力端子が初段の D 型フリップフロップ D F F 6 の入力端子に接続されたレベル変換回路 L S 5 1 と、D 型フリップフロップ D F F 6 毎に設けられたレベル変換回路 L S 5 2 と、一端が電源 V D D に接続され、他端がレベル変換回路 L S 5 2 の電源端子に接続された切り離し回路としての転送ゲート T G 1 1 3 とを備えている。上記転送ゲート T G 1 1 3 に入力された制御信号(図 2 6 では C T L 1 ~ C T L 4 )に基づいて、レベル変換回路 L S 5 2 に供給される電源 V D D を制御する。上記 D 型フリップフロップ D F F 6 と転送ゲート T G 1 1 1 , T G 1 1 2 , T G 1 1 3 およびレベル変換回路 L S 5 2 でレジスタブロック B L K 1 0 を構成している。なお、この第 1 1 実施形態のレベル変換回路 L S 5 2 は、第 1 0 実施形態の図 2 5 と同一の構成をしている。

#### 【 0 1 5 9 】

このように、上記転送ゲート T G 1 1 1 , T G 1 1 2 がオフ状態にあるとき、レベル変換回路 L S 5 2 の電流経路を切り離し回路としての転送ゲート T G 1 1 3 により遮断することによって、レベル変換回路 L S 5 2 の消費電流を低減することができる。

#### 【 0 1 6 0 】

上記第 1 1 実施形態では、切り離し回路としての転送ゲート T G 1 1 3 によりレベル変換回路 L S 5 2 の電源線を切り離したが、切り離し回路によりレベル変換回路の接地線を切り離してもよい。

#### 【 0 1 6 1 】

##### (第 1 2 実施形態)

この発明の第 1 2 実施形態の画像表示装置は、第 5 実施形態の図 1 0 に示す画

像表示装置と同様の構成をしており、同一構成部は説明を省略し、図 1 0 を援用する。

#### 【 0 1 6 2 】

図 2 7 はこの第 1 1 実施形態の画像表示装置のデータ信号線駆動回路 S D 1 の構成を示している。このデータ信号線駆動回路 S D 1 は、レベル変換回路を除いて第 5 実施形態のデータ信号線駆動回路と同一の構成をしている。

#### 【 0 1 6 3 】

このデータ信号線駆動回路は、図 2 7 に示すように、直列に接続された複数のフリップフロップ F F 5 と、フリップフロップ F F 5 毎に設けられた転送ゲート T G 1 2 1 , T G 1 2 2 と、初段のフリップフロップ F F 5 に入力されるスタート信号 S S T のレベルを変換するレベル変換回路 L S 6 1 と、フリップフロップ F F 5 毎に設けられたレベル変換回路 L S 6 2 とを備えている。

#### 【 0 1 6 4 】

上記転送ゲート T G 1 2 1 を介してクロック信号 S C K (偶数番目のフリップフロップ F F 5 ではクロック信号 / S C K ) をレベル変換回路 L S 6 2 に入力し、レベル変換回路 L S 6 2 によりレベル変換されたクロック信号 S C K (偶数番目のフリップフロップ F F 5 ではクロック信号 / S C K ) をフリップフロップ F F 5 に入力している。一方、上記転送ゲート T G 1 2 2 を介してクロック信号 / S C K (偶数番目のフリップフロップ F F 5 ではクロック信号 S C K ) をレベル変換回路 L S 6 2 に入力し、レベル変換回路 L S 6 2 によりレベル変換されたクロック信号 / S C K (偶数番目のフリップフロップ F F 5 ではクロック信号 S C K ) をフリップフロップ F F 5 に入力している。

#### 【 0 1 6 5 】

そして、フリップフロップ F F 5 の出力端子を否定論理積回路 N A N D 3 の一方の入力端子に接続し、後段のフリップフロップ F F 5 の出力端子を否定論理積回路 N A N D 3 の他方の入力端子に接続している。上記否定論理積回路 N A N D 3 の出力端子を直列に接続されたインバータ I V 9 1 , I V 9 2 を介してアナログスイッチ A S 2 の一方の制御入力端子に接続し、否定論理積回路 N A N D 3 の出力端子をインバータ I V 9 3 を介してアナログスイッチ A S 2 の他方の制御入

力端子に接続している。上記アナログスイッチ A S 2 の入力端子に映像信号 D A T が入力され、制御入力(図 2 7 では S 1 ~ S 4 , / S 1 ~ / S 4 )によってアナログスイッチ A S 2 をオンオフし、映像信号 D A T がデータ信号線(図 2 7 では S L 1 ~ S L 4 )に出力される。

## 【 0 1 6 6 】

また、図 2 8 は上記走査信号線駆動回路 G D 1 の構成を示している。この走査信号線駆動回路は、レベル変換回路を除いて第 5 実施形態の図 1 2 に示す走査信号線駆動回路と同一の構成のシフトレジスタ回路を用いている。

## 【 0 1 6 7 】

この走査信号線駆動回路は、図 2 8 に示すように、直列に接続された複数のフリップフロップ F F 6 と、フリップフロップ F F 6 毎に設けられた転送ゲート T G 1 3 1 , T G 1 3 2 と、初段のフリップフロップ F F 6 に入力されるスタート信号 G S T のレベルを変換するレベル変換回路 L S 7 1 と、フリップフロップ F F 6 毎に設けられたレベル変換回路 L S 7 2 とを備えている。そして、フリップフロップ F F 6 の出力端子を否定論理積回路 N A N D 4 の一方の入力端子に接続し、後段のフリップフロップ F F 6 の出力端子を否定論理積回路 N A N D 4 の他方の入力端子に接続している。上記否定論理積回路 N A N D 4 の出力端子を否定論理和回路 N O R 2 の一方の入力端子に接続し、否定論理和回路 N O R 2 の他方の入力端子にイネーブル信号 G E N を入力している。上記否定論理和回路 N O R 2 の出力端子にインバータ I V 1 0 1 の入力端子を接続し、インバータ I V 1 0 1 の出力端子をインバータ I V 1 0 2 の入力端子に接続している。そして、上記インバータ I V 1 0 2 から走査信号線(図 2 8 では G L 1 ~ G L 4 )に走査信号が出力される。

## 【 0 1 6 8 】

ここで、データ信号線駆動回路 S D 1 または定査信号線駆動回路 G D 1 に、上記第 1 1 実施形態の図 2 6 に示すシフトレジスタ回路を用いることにより、クロック信号線 S C K または G C K の容量負荷が低減されると共に、レベル変換回路に電流が流れる期間を短縮することができるので、低消費電力化と低コスト化が実現される。

## 【0169】

また、図29(a)～(j)および図30(a)～(j)は、図27に示すデータ信号線駆動回路の内部波形を示す図である。

## 【0170】

図29においては、シフトレジスタ回路を転送されるパルス幅は最小限(クロック信号GCKの1周期分)であるのに対し、図30においては、パルス幅を広くしている。しかし、パルス幅が異なるにも関わらず、転送ゲートの制御信号がアクティブな期間、すなわち、クロック信号GCKが入力される期間は同じである。すなわち、どのようなパルス幅に対しても、クロック信号線の負荷を最小限(2個以下)に抑えることが可能となっていることが判る。

## 【0171】

ここで、パルス幅を変えることのメリットとして、例えば、次の2点が挙げられる。

## 【0172】

1つは、データ信号線駆動回路のサンプリングパルス(画像データをデータ信号線に書き込むためのパルス)の幅を最適化することである。サンプリングパルスの幅が狭いと、映像信号を十分にデータ信号線に書き込むことができなくなり、表示品位を落とすことになる。しかし、逆に長くしすぎると、映像信号線の負荷が重くなり、外部IC(ビデオアンプ等)の負担が大きくなる恐れがある。したがって、画像表示装麗の仕様(表示サイズ、解像度、駆動周波数、駆動電圧など)により最適なサンプリングパルスを採用することが望ましい。この第12実施形態の構成では、このように最適化したサンプリングパルス幅に対しても、クロック信号線の負荷を十分に小さくすることが可能である。

## 【0173】

もう1つは、ワイド画面表示時のサイドブラック(映像領域の上下の黒表示領域)の書き込みが挙げられる。サイドブラックの映像信号(黒信号)の書き込みは、データ信号線駆動回路を用いて行うことができるが、垂直帰線期間に行う必要があり、通常の画像表示と同じの駆動速度(サンプリング期間)では時間が足りない。したがって、映像信号(サイドブラック信号)を1データ信号線ずつではなく



、一括して書き込むことが重要である。そのためには、シフトレジスタ回路内を転送されるパルスの幅を十分に長くすることにより、シフトレジスタ回路を構成する各フリップフロップの出力をすべてアクティブとすることが必要である。この第 1 2 実施形態の構成によれば、このように、パルス幅が極端に長い場合においても、クロック信号線の負荷を十分に小さくすることが可能である。

## 【 0 1 7 4 】

また、図 3 1 は、この発明の画像表示装置の他の構成を示す図である。

## 【 0 1 7 5 】

図 3 1 に示す画像表示装置は、画素 P I X と、データ信号線駆動回路 S D 2 と、走査信号線駆動回路 G D 2 とは、同一絶縁性基板 S U B 上に構成されており（ドライバモノリシック構造）、外部コントロール回路 C T 2 からの信号と、外部電源回路 V G E N 2 からの駆動電源とによって駆動している。

## 【 0 1 7 6 】

このような構成の画像表示装置において、データ信号線駆動回路 S D 2 および走査信号線駆動回路 G D 2 は、画面（表示領域）とほぼ同じ長さの領域に広く分散して配置されているので、クロック信号等の配線長は極めて長くなっている。したがって、クロック信号等の負荷容量も極めて大きくなるので、クロック信号を局所的に入力することによるクロック信号線の負荷容量の低減効果も大きくなる。

## 【 0 1 7 7 】

また、データ信号線駆動回路 S D 2 および走査信号線駆動回路 G D 2 を画素 P I X と同一絶縁性基板 S U B 上に（モノリシックに）形成することにより、別々に構成して実装するよりも、駆動回路の製造コストや実装コストの低減を図ることができると共に、信頼性の向上にも効果がある。

## 【 0 1 7 8 】

また、図 3 2 は、この発明の画像表示装置を構成する多結晶シリコン薄膜トランジスタの構造を示す断面図である。

## 【 0 1 7 9 】

図 3 2 に示すように、絶縁性基板 1 1 上にシリコン酸化膜 1 2 を形成し、その

シリコン酸化膜 1 2 上にパターニングされた多結晶シリコン薄膜 1 0 を形成している。上記多結晶シリコン薄膜 1 0 にソース領域 1 3 , 活性領域 1 5 およびドレイン領域 1 4 を形成している。上記多結晶シリコン薄膜 1 0 上および絶縁性基板 1 1 の露出領域上にゲート絶縁膜 1 6 を形成し、ゲート絶縁膜 1 6 上の多結晶シリコン薄膜 1 0 の活性領域 1 5 に対応する領域上にゲート電極 1 7 を形成している。そして、基板全面を覆う層間絶縁膜 1 8 を形成し、ソース領域 1 3 の上部にソース電極 1 9 を形成すると共に、ドレイン領域 1 3 の上部にドレイン電極 2 0 を形成している。

## 【 0 1 8 0 】

図 3 2 に示す多結晶シリコン薄膜トランジスタは、絶縁性基板 1 1 上部の多結晶シリコン薄膜 1 0 を活性層とする順スタガー(トップゲート)構造のものであるが、この発明のシフトレジスタ回路はこれに限るものではなく、逆スタガー構造等の他の構造のものであってよい。また、データ信号線駆動回路および走査信号線駆動回路の能動素子に多結晶シリコン薄膜トランジスタを用いたが、少なくともデータ信号線駆動回路に多結晶シリコン薄膜トランジスタを用いたものでもよい。

## 【 0 1 8 1 】

上記多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査信号線駆動回路およびデータ信号線駆動回路を、画素アレイと同一基板上にほぼ同一の製造工程で構成することができる。

## 【 0 1 8 2 】

また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ(MOSトランジスタ)に較べて、駆動能力が 1 ~ 2 桁小さいので、シフトレジスタ回路を構成したときに、構成するトランジスタのサイズを大きくする必要があり、その結果、入力負荷容量も大きくなる傾向がある。したがって、クロック信号を局所的に入力することによるクロック信号線の負荷容量の低減効果も大きくなる。

## 【 0 1 8 3 】

また、図 3 3 は、図 3 2 に示す多結晶シリコン薄膜トランジスタの製造工程を

示す構造断面図である。なお、図 3 3 において絶縁性基板上のシリコン酸化膜は、図を見やすくするために省略している。

#### 【0184】

以下に、摂氏 6 0 0 ℃ 以下で多結晶シリコン薄膜トランジスタを形成するときの製造プロセスについて、簡単に説明する。

#### 【0185】

まず、図 3 3 (a), (b) において、ガラス基板 2 1 上に非晶質シリコン薄膜 2 2 を堆積する。次に、図 3 3 (b) に示す非晶質シリコン薄膜 2 2 にエキシマレーザを照射して、図 3 3 (c) に示すように多結晶シリコン薄膜 2 2 A を形成する。次に、図 3 3 (c) に示す多結晶シリコン薄膜 2 2 A を所望の形状にパターニングして、図 3 3 (c) に示すように、活性領域 2 3 を形成する。次に、図 3 3 (e) に示すように、活性領域 2 3 およびその活性領域 2 3 を除くガラス基板 2 1 上に二酸化シリコンからなるゲート絶縁膜 2 4 を形成する。さらに、図 3 3 (f) に示すように、薄膜トランジスタのゲート電極 2 5 をアルミニウム等で形成した後、図 3 3 (g), (h) に示すように、薄膜トランジスタのソース・ドレイン領域 2 3 A, 2 3 B に不純物 (n 型領域には磷、p 型領域には硼素) を注入する。その後、図 3 3 (i) に示すように、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜 2 8 を堆積する。次に、図 3 3 (j) に示すように、コンタクトホール 2 9 を開口した後、図 3 3 (k) に示すように、アルミニウム等からなる金属配線 3 0 を形成する。この薄膜トランジスタの製造工程において、プロセスの最高温度は、ゲート絶縁膜形成時の 6 0 0 ℃ であるので、米国コーニング社の 1 7 3 7 ガラス等の高耐熱性ガラスが使用できる。

#### 【0186】

なお、液晶表示装置では、この後に、さらに別の層間絶縁膜を介して、透明電極 (透過型液晶表示装置の場合) や反射電極 (反射型液晶表示装置の場合) を形成する。

#### 【0187】

ここで、図 3 3 に示す製造工程で、多結晶シリコン薄膜トランジスタを、6 0 0 ℃ 以下で形成することにより、安価で大面積のガラス基板を用いることができ

るようになるので、画像表示装置の低価格化と大面積化を実現することができる。

#### 【0188】

以上、この発明のシフトレジスタ回路および画像表示装置について第1～第12実施形態により説明したが、この発明は、これらに限定されることなく、上記実施形態の組み合わせ等の他の構成についても、同様に当てはまるものである。

#### 【0189】

##### 【発明の効果】

以上より明らかなように、この発明のシフトレジスタ回路によれば、クロック信号に同期して動作するフリップフロップと、上記フリップフロップに供給されるクロック信号を制御する転送ゲートとを有するレジスタブロックが直列に接続されたシフトレジスタ回路において、フリップフロップの出力が変化する点の前後の所定期間のみクロック信号の入力を制御する転送ゲートをアクティブとすることにより、クロック信号線の容量負荷を低減することができる。その結果、シフトレジスタ回路への信号を供給する外部回路の低消費電力化と低コスト化を実現することができる。また、このシフトレジスタ回路を画像表示装置のデータ信号線駆動回路または走査信号線駆動回路に適用することにより、画像表示装置の低消費電力化および低コスト化を実現することができる。

#### 【0190】

また、上記レジスタブロックに入力されるクロック信号がフリップフロップのクロック信号入力レベルよりも小さいレベルであって、上記フリップフロップの入力信号レベルになるようにクロック信号のレベルを変換するレベル変換回路が、上記レジスタブロックの出力が変化する点の前後の所定期間のみ動作状態となることによって、クロック信号線の容量負荷を低減すると共に、レベル変換回路の動作期間を短縮させることができる。その結果、シフトレジスタ回路にクロック信号等を供給する外部回路の低消費電力化と低コスト化、並びに、シフトレジスタ回路本体の低消費電力化を実現することができる。

##### 【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態のシフトレジスタ回路の構成を示

すブロック図である。

【図 2】 図 2 は図 1 に示すシフトレジスタ回路の信号波形を示す図である。

【図 3】 図 3 はこの発明の第 2 実施形態のシフトレジスタ回路のブロック図である。

【図 4】 図 4 は図 3 に示すシフトレジスタ回路を構成する D 型フリップフロップの回路図である。

【図 5】 図 5 は図 3 に示すシフトレジスタ回路の信号波形を示す図である。

【図 6】 図 6 はこの発明の第 3 実施形態のシフトレジスタ回路を示すブロック図である。

【図 7】 図 7 は図 6 に示すシフトレジスタ回路を構成する S R 型フリップフロップの回路図である。

【図 8】 図 8 は図 6 に示すシフトレジスタ回路の信号波形を示す図である。

【図 9】 図 9 はこの発明の第 4 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 1 0】 図 1 0 はこの発明の第 5 実施形態の画像表示装置の構成を示すブロック図である。

【図 1 1】 図 1 1 は図 1 0 に示す画像表示装置のデータ信号線駆動回路の構成を示すブロック図である。

【図 1 2】 図 1 2 は図 1 0 に示す画像表示装置の走査信号線駆動回路のブロック図である。

【図 1 3】 図 1 3 は図 1 1 に示すデータ信号線駆動回路の信号波形を示す図である。

【図 1 4】 図 1 4 は図 1 1 に示すデータ信号線駆動回路の信号波形を示す図である。

【図 1 5】 図 1 5 はこの発明の第 6 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 1 6】 図 1 6 は図 1 5 に示すシフトレジスタ回路の信号波形を示す図である。

【図 1 7】 図 1 7 はこの発明の第 7 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 1 8】 図 1 8 は図 1 7 に示すシフトレジスタ回路の信号波形を示す図である。

【図 1 9】 図 1 9 は上記シフトレジスタ回路のレベル変換回路の回路図である。

【図 2 0】 図 2 0 は上記シフトレジスタ回路のレベル変換回路の回路図である。

【図 2 1】 図 2 1 はこの発明第 8 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 2 2】 図 2 2 は図 2 1 に示すシフトレジスタ回路の信号波形を示す図である。

【図 2 3】 図 2 3 はこの発明の第 9 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 2 4】 図 2 4 はこの発明の第 1 0 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 2 5】 図 2 5 は上記シフトレジスタ回路のレベル変換回路の回路図である。

【図 2 6】 図 2 6 はこの発明の第 1 1 実施形態のシフトレジスタ回路の構成を示すブロック図である。

【図 2 7】 図 2 7 はこの発明の第 1 2 実施形態の画像表示装置のデータ信号線駆動回路のブロック図である。

【図 2 8】 図 2 8 は上記画像表示装置の走査信号線駆動回路のブロック図である。

【図 2 9】 図 2 9 は図 2 7 に示すデータ信号線駆動回路の信号波形を示す図である。

【図 3 0】 図 3 0 は図 2 7 に示すデータ信号線駆動回路の信号波形を示す

図である。

【図 3 1】 図 3 1 はこの発明の第 1 3 実施形態の画像表示装置の構成を示すブロック図である。

【図 3 2】 図 3 2 は上記画像表示装置の多結晶シリコン薄膜トランジスタの構造を示す断面図である。

【図 3 3】 図 3 3 は図 3 2 に示す多結晶シリコン薄膜トランジスタの製造工程を示す図である。

【図 3 4】 図 3 4 は従来の画像表示装置の構成を示すブロック図である。

【図 3 5】 図 3 5 は上記画像表示装置を構成する画素の内部構成を示す図である。

【図 3 6】 図 3 6 は従来の他の画像表示装置の構成を示すブロック図である。

【図 3 7】 図 3 7 は従来のデータ信号線駆動回路のブロック図である。

【図 3 8】 図 3 8 は従来の走査信号線駆動回路のブロック図である。

【図 3 9】 図 3 9 は従来のシフトレジスタ回路の構成を示すブロック図である。

【図 4 0】 図 4 0 は図 3 9 に示すシフトレジスタ回路の信号波形を示す図である。

【図 4 1】 図 4 1 は図 3 9 に示すシフトレジスタ回路の他の信号波形を示す図である。

# 【符号の説明】

FF 1 ～ FF 8 … フリップフロップ、

TG 1 ～ TG 1 4 2 … 転送ゲート、

XOR 1 ～ XOR 4 … 排他的論理和回路、

DF 1 ～ DF 7 … D 型フリップフロップ、

SRFF 1 ～ SRFF 2 … SR 型フリップフロップ、

NOR 1 ～ NOR 3 … 否定論理和回路、

NOR s 1 , NOR s 2 , NOR r 1 , NOR r 2 … 否定論理和回路、

NAND 1 ～ NAND 6 … 否定論理積回路、

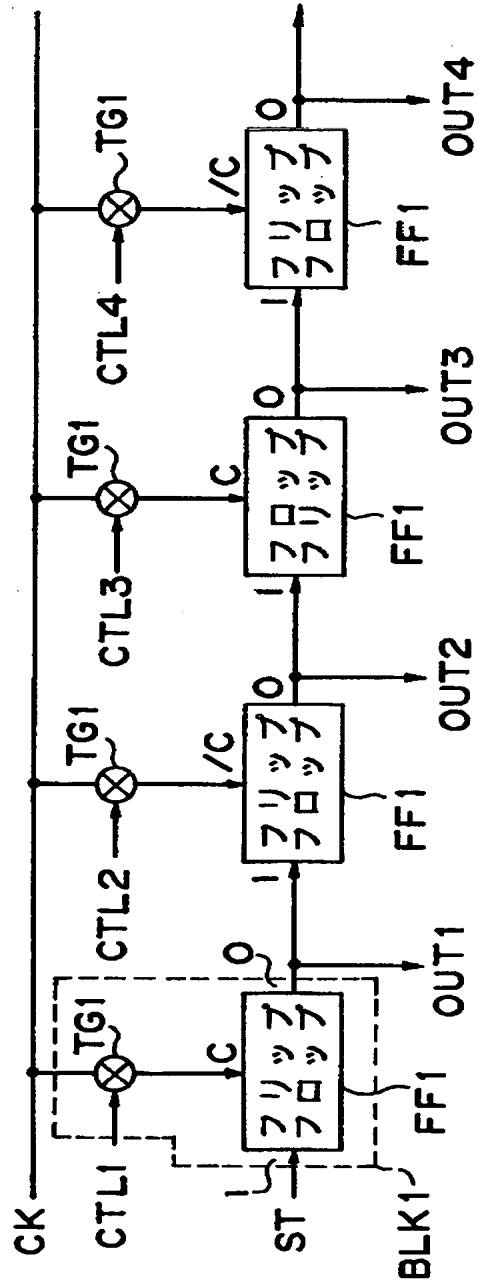
OR…論理和回路、  
 IV1～IV122, INV1～INV133…インバータ、  
 LS1～LS62…レベル変換回路、  
 AS1～AS3…アナログスイッチ、  
 SD1～SD3…データ信号線駆動回路、  
 GD1～GD3…走査信号線駆動回路、  
 PC1～PC3…プリチャージ回路、  
 CT1～CT3…コントロール回路、  
 ARY1～ARY3…画素アレイ、  
 PIX…画素、  
 SL…データ信号線、  
 GL…走査信号線、  
 VGEN2, VGEN4…電源電圧生成回路、  
 CL…液晶容量、  
 CS…補助容量、  
 SW…画素スイッチ、  
 SUB…絶縁性基板、  
 10…多結晶シリコン薄膜、  
 11…絶縁性基板、  
 12…シリコン酸化膜、  
 13…ソース領域、  
 14…ドレイン領域、  
 15…活性領域、  
 16…ゲート絶縁膜、  
 17…ゲート電極、  
 18…層間絶縁膜、  
 19…ソース電極、  
 20…ドレイン電極、  
 P11～P36…PMOSトランジスタ、



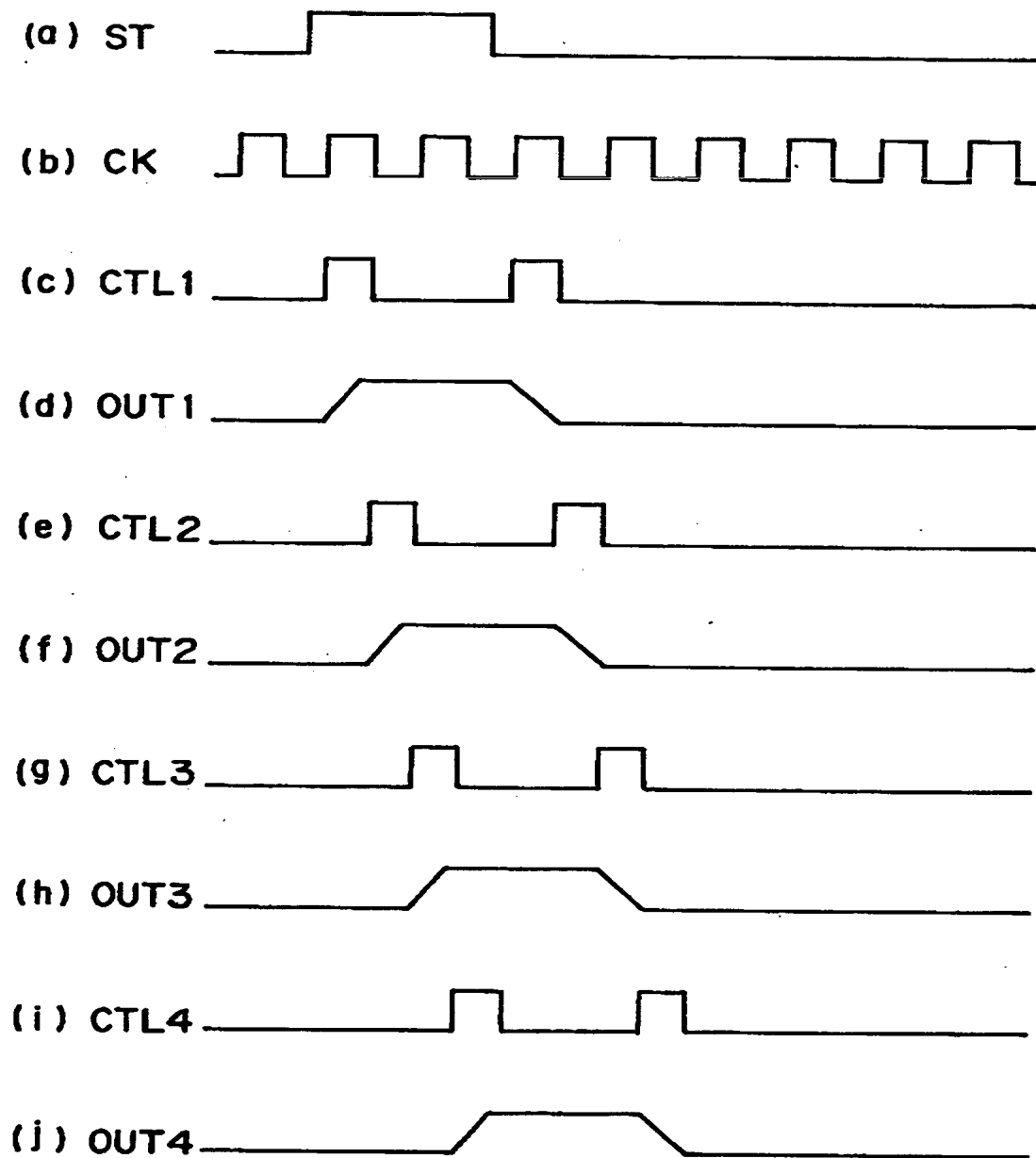
N 1 1 ~ N 3 6 ... NMOS トランジスタ。

【書類名】 図面

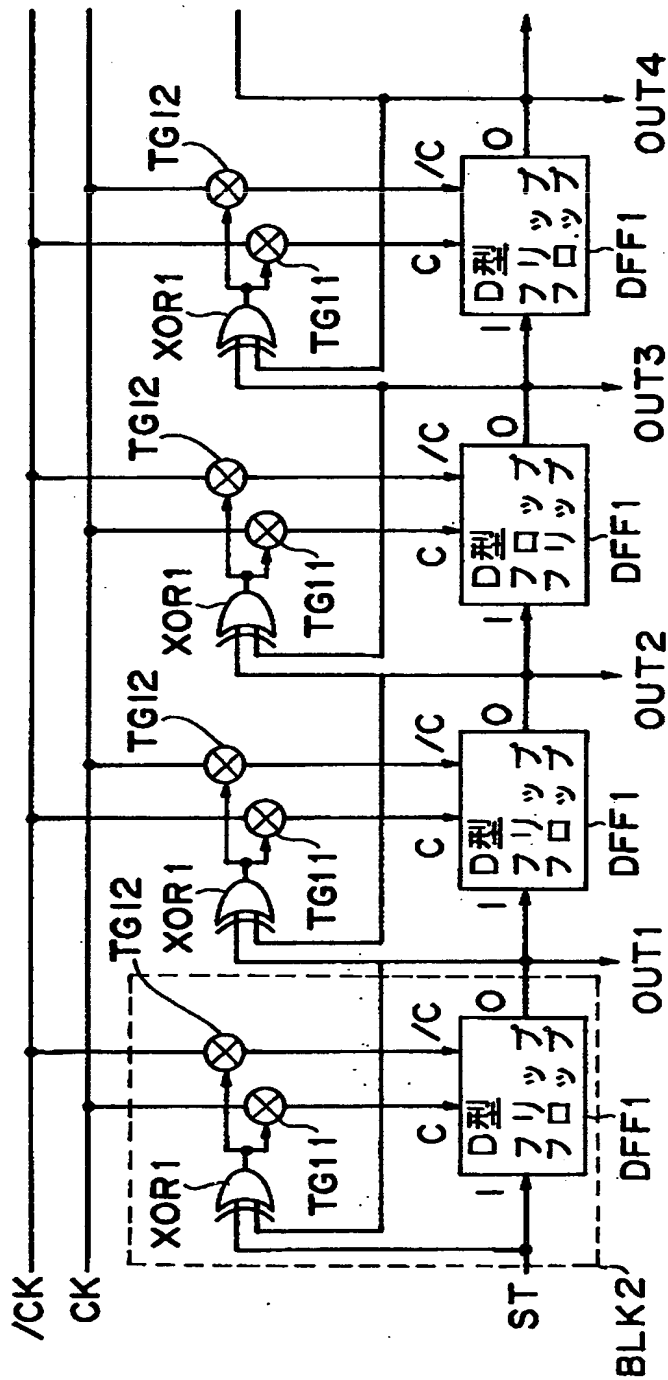
【図 1】



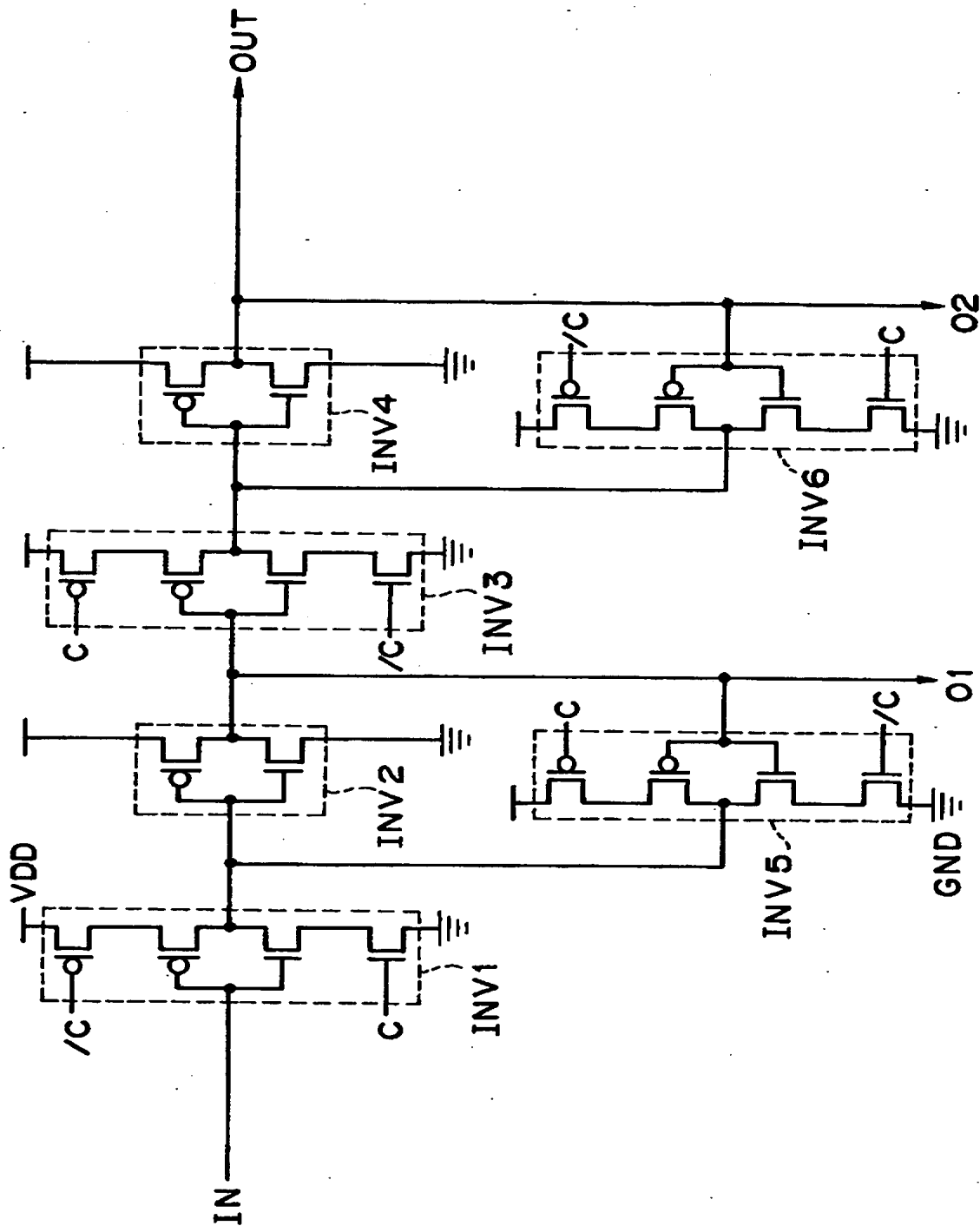
【図2】



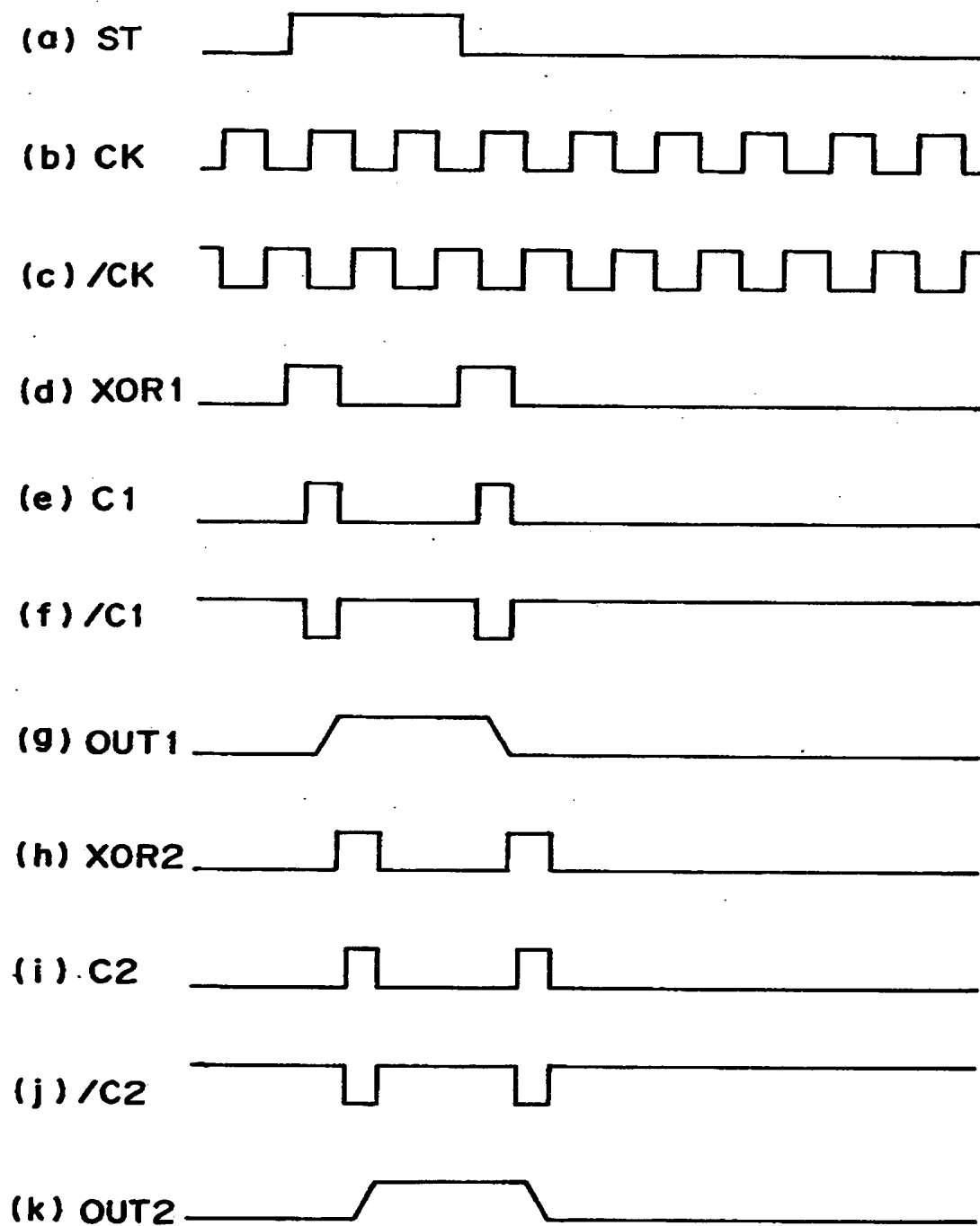
【図3】



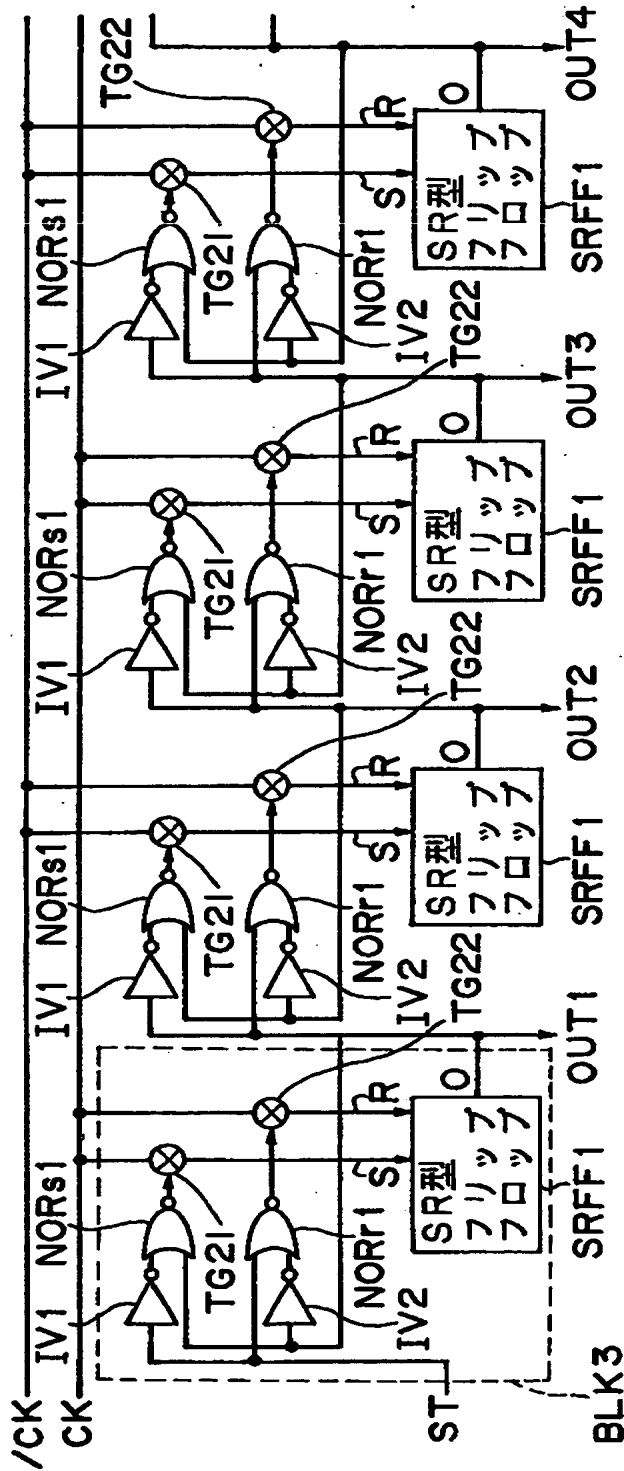
【図4】



【図 5】



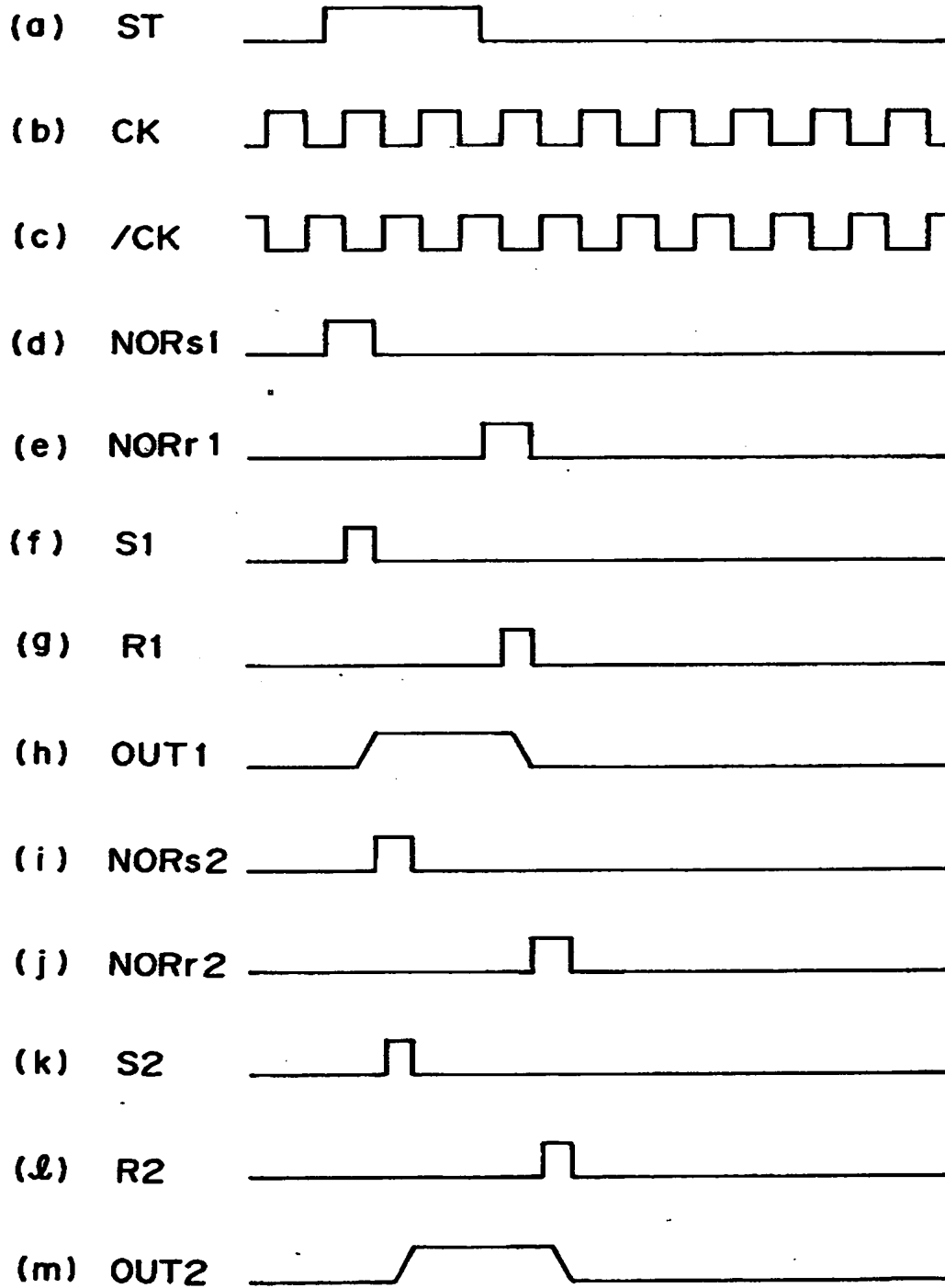
【図6】



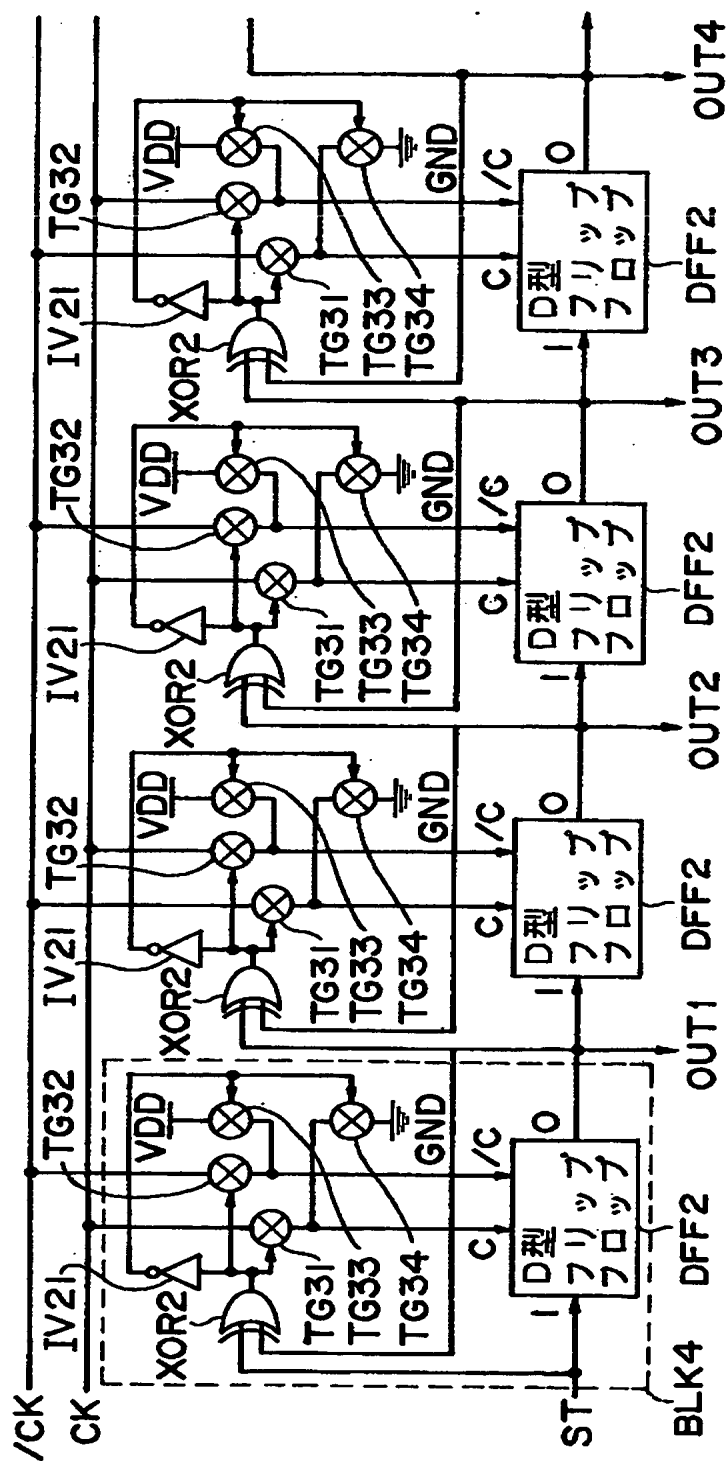




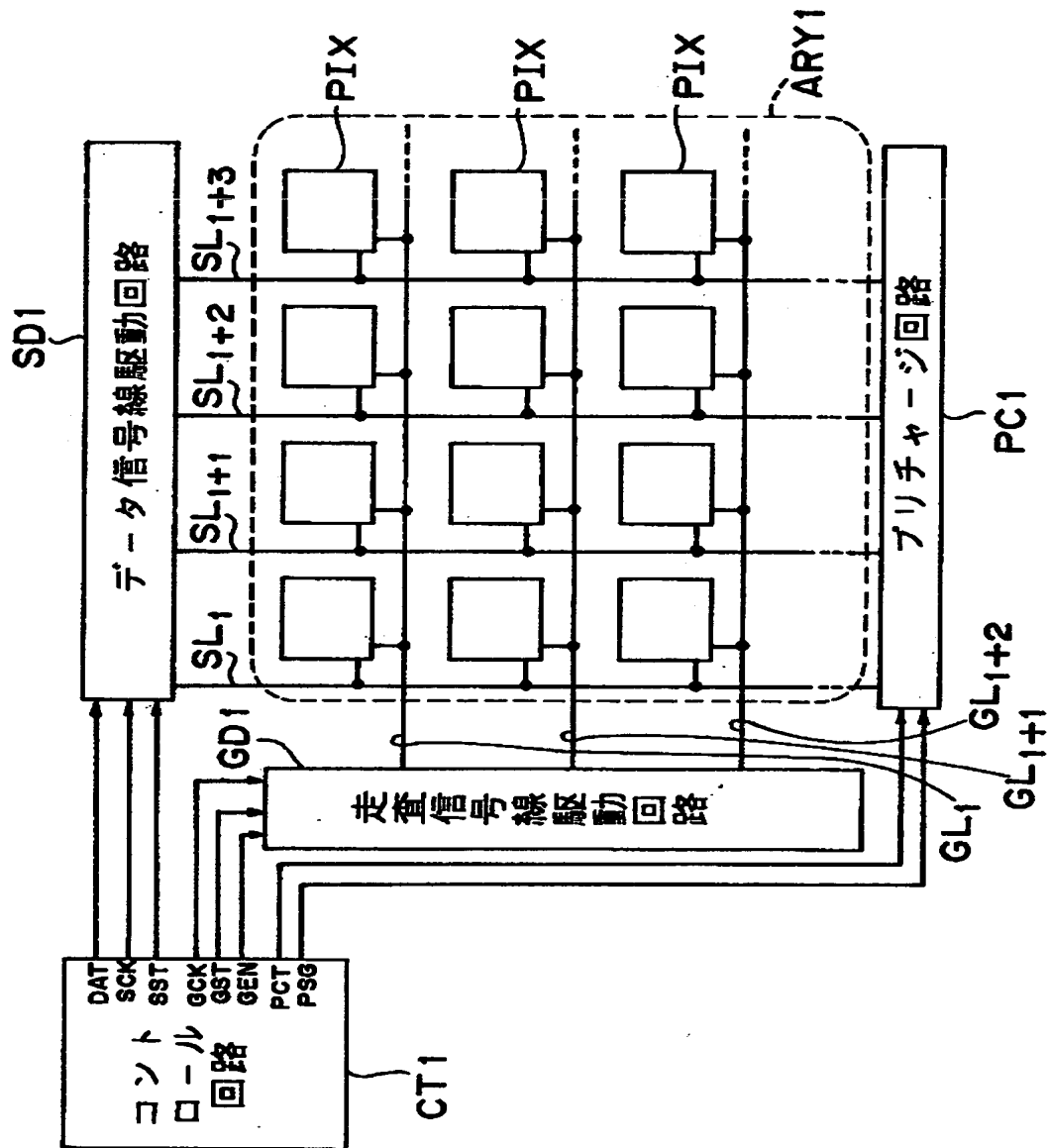
【図 8】



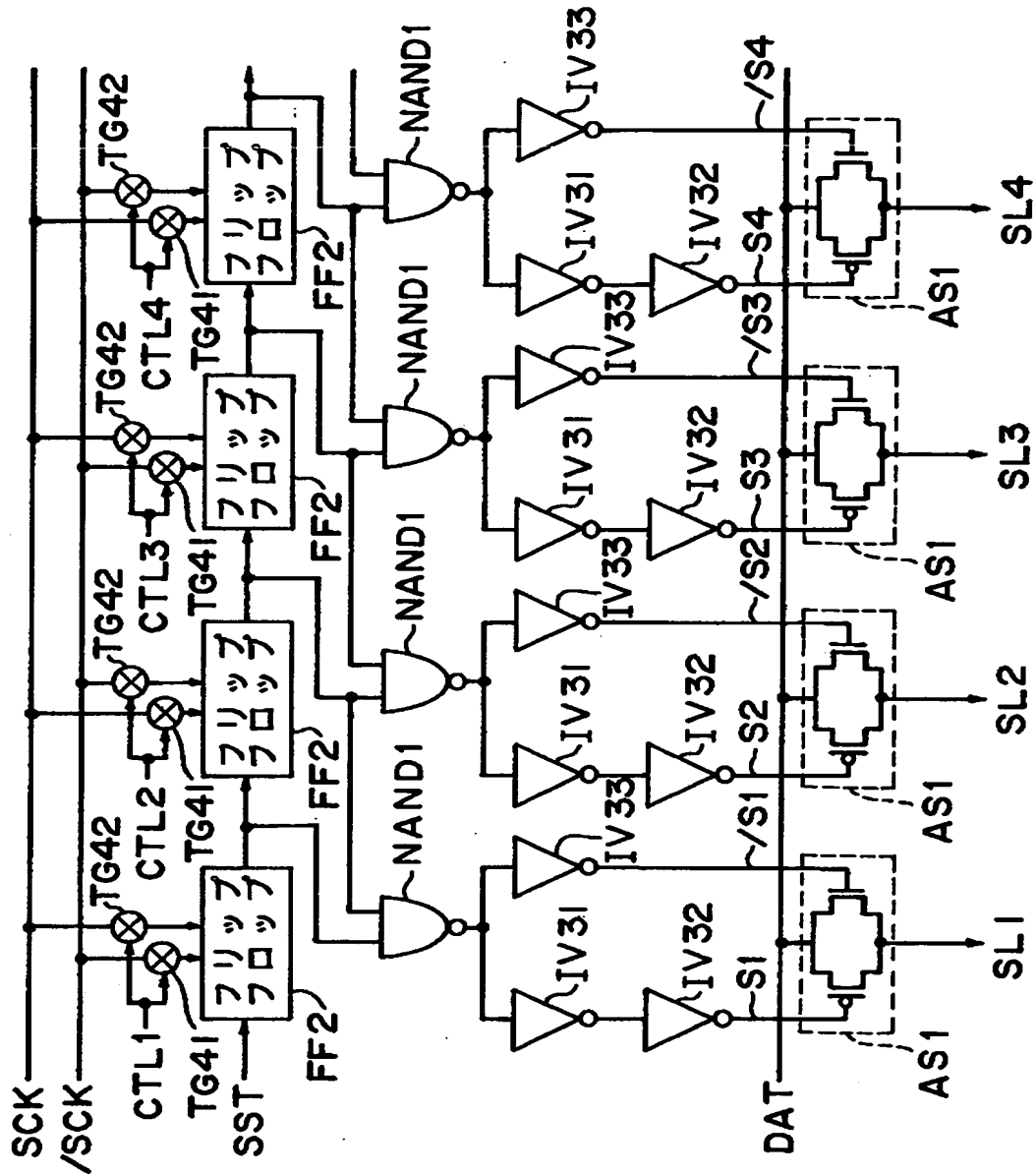
【図9】



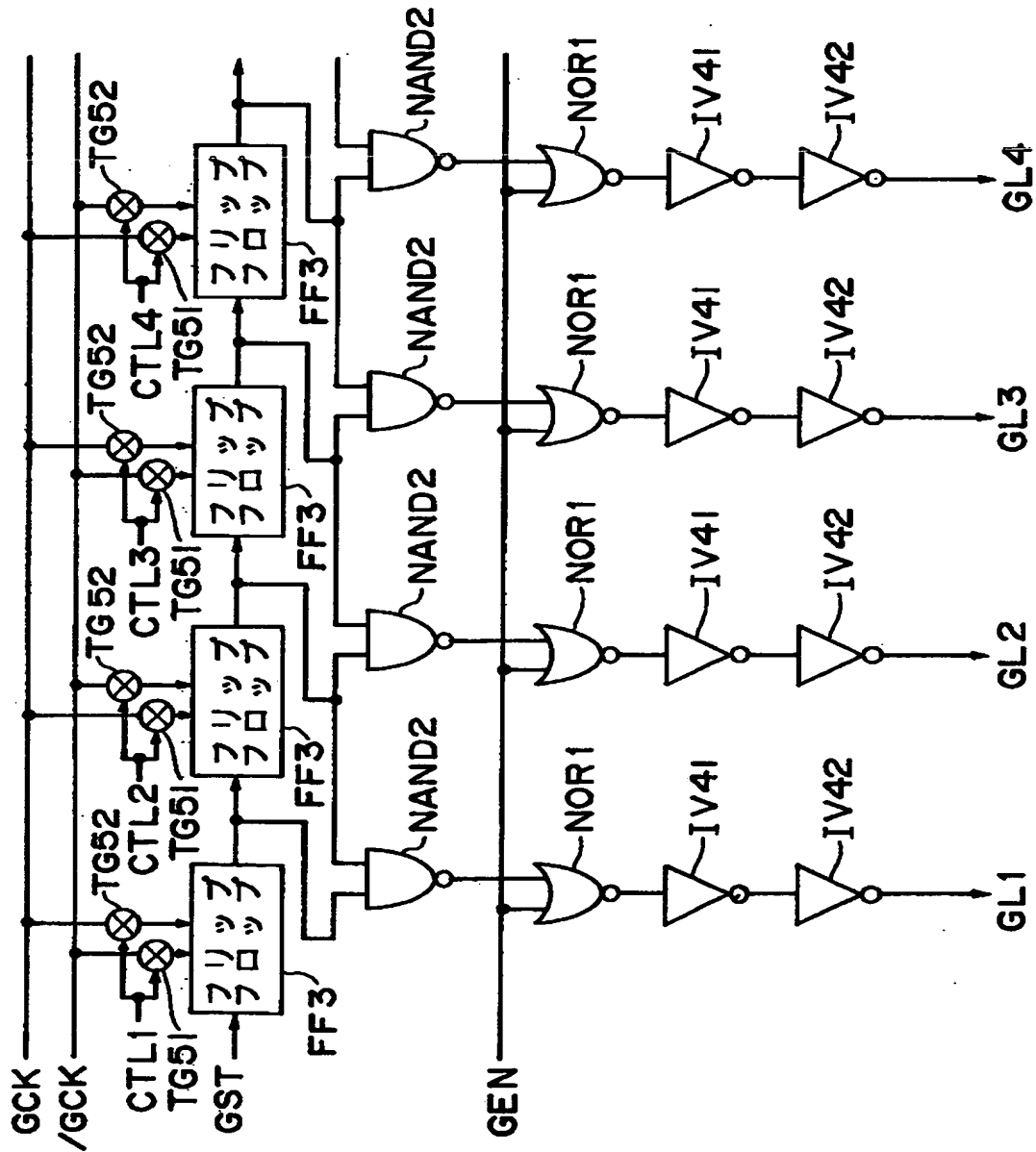
【図10】



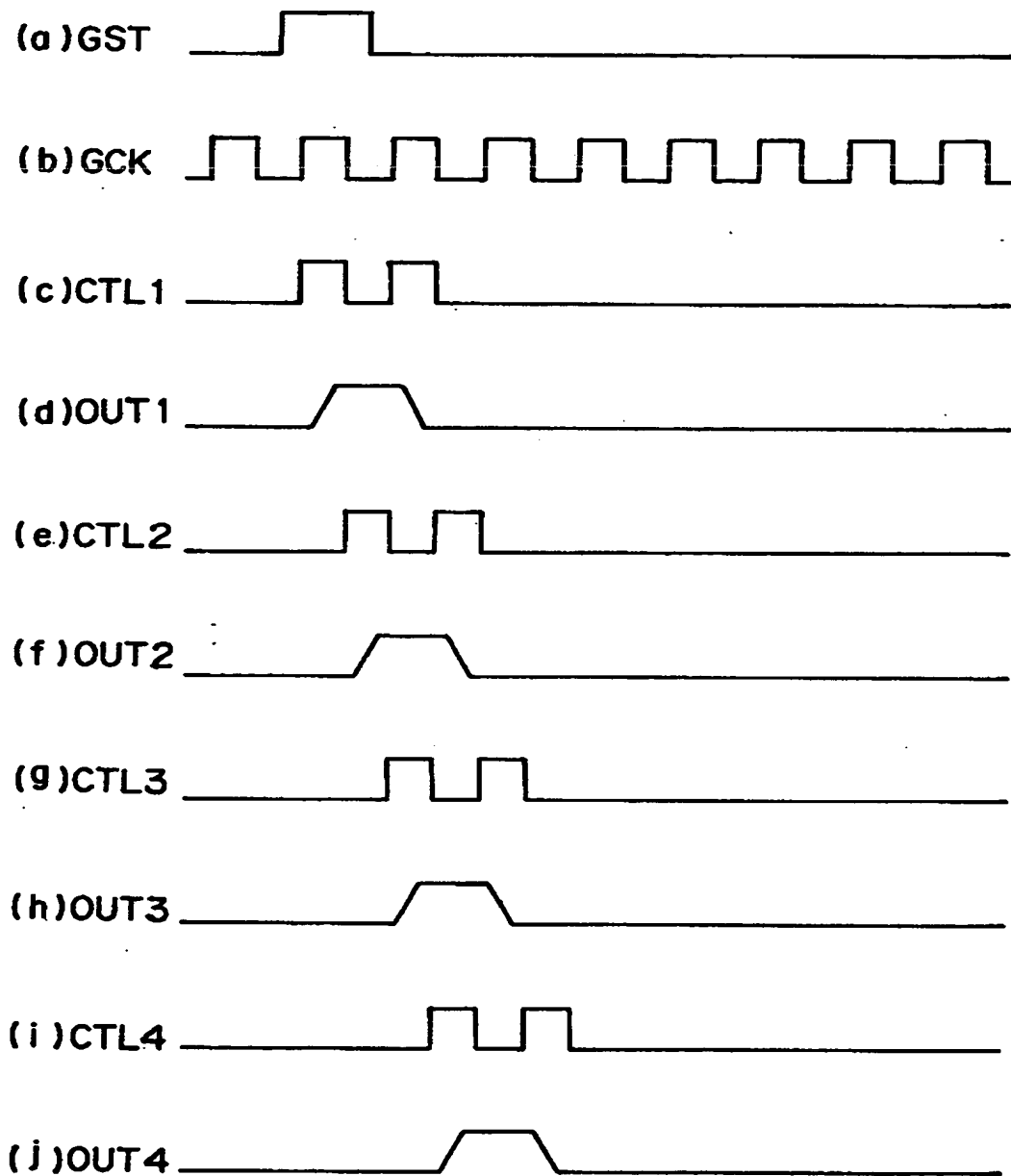
【図 11】



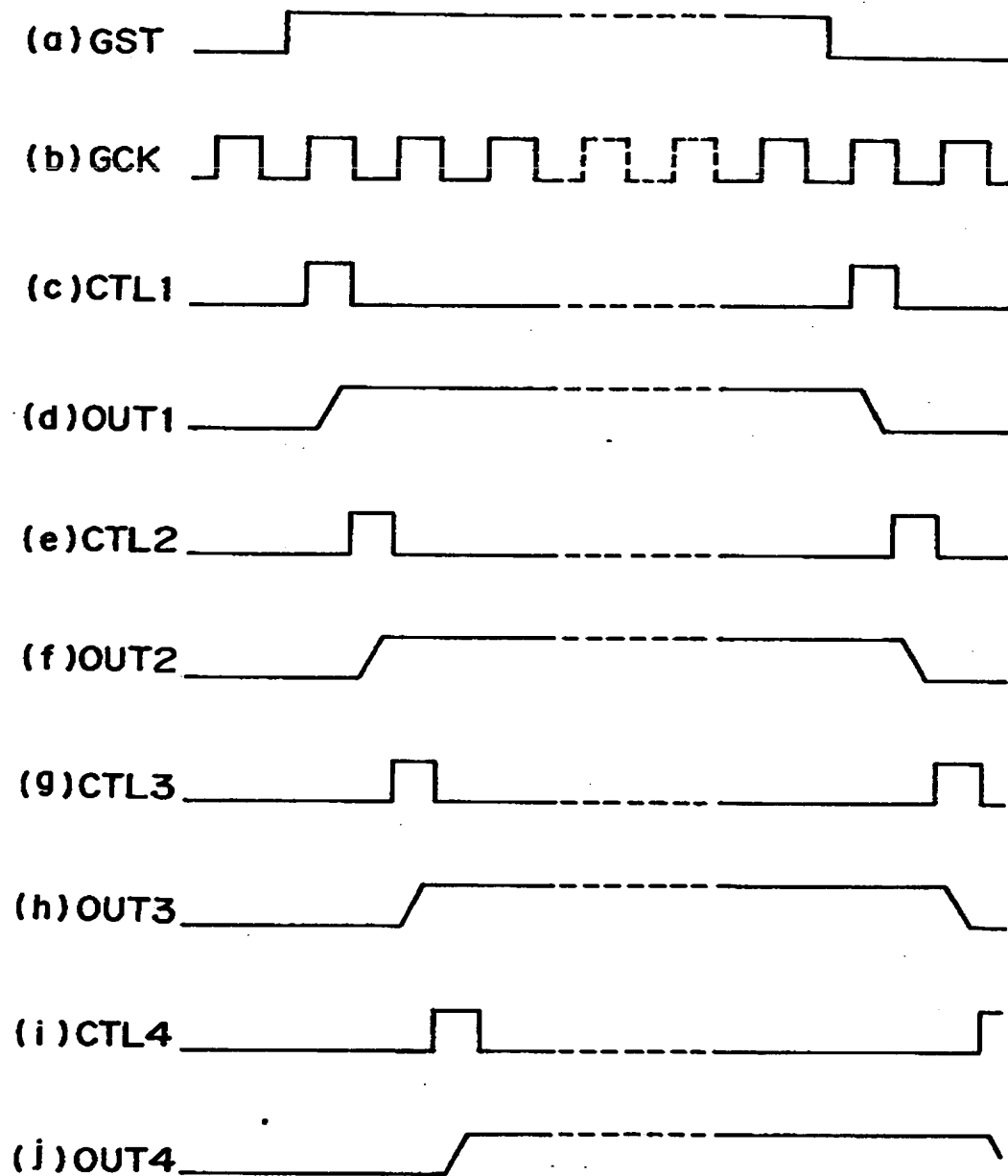
【図 12】



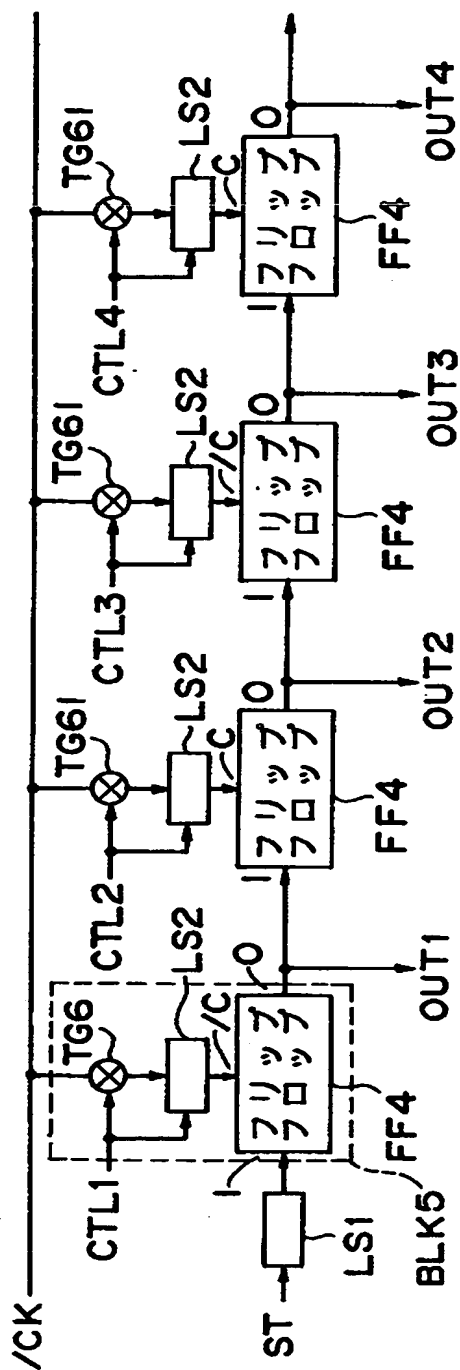
【図13】



【図14】

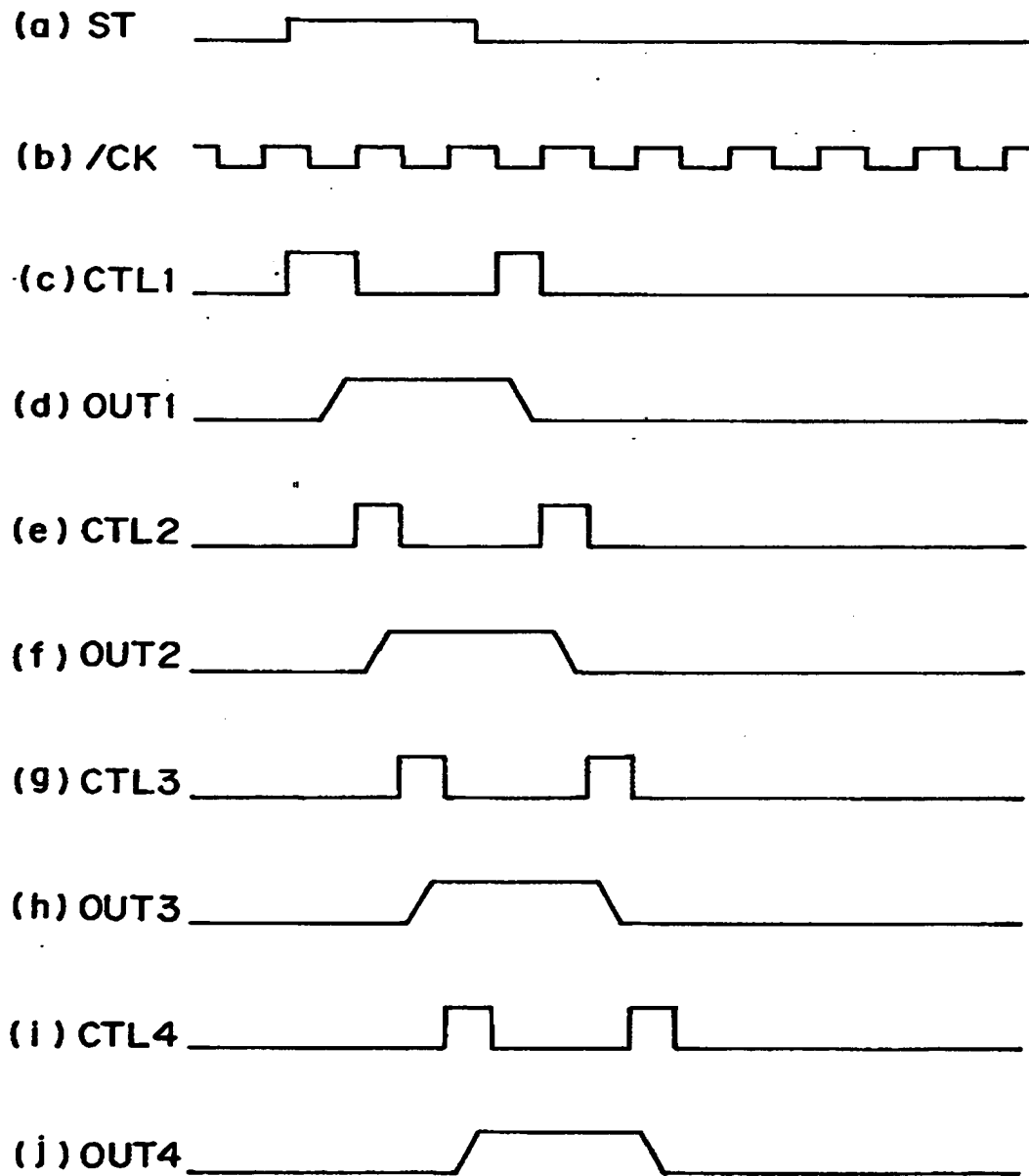


【図 15】

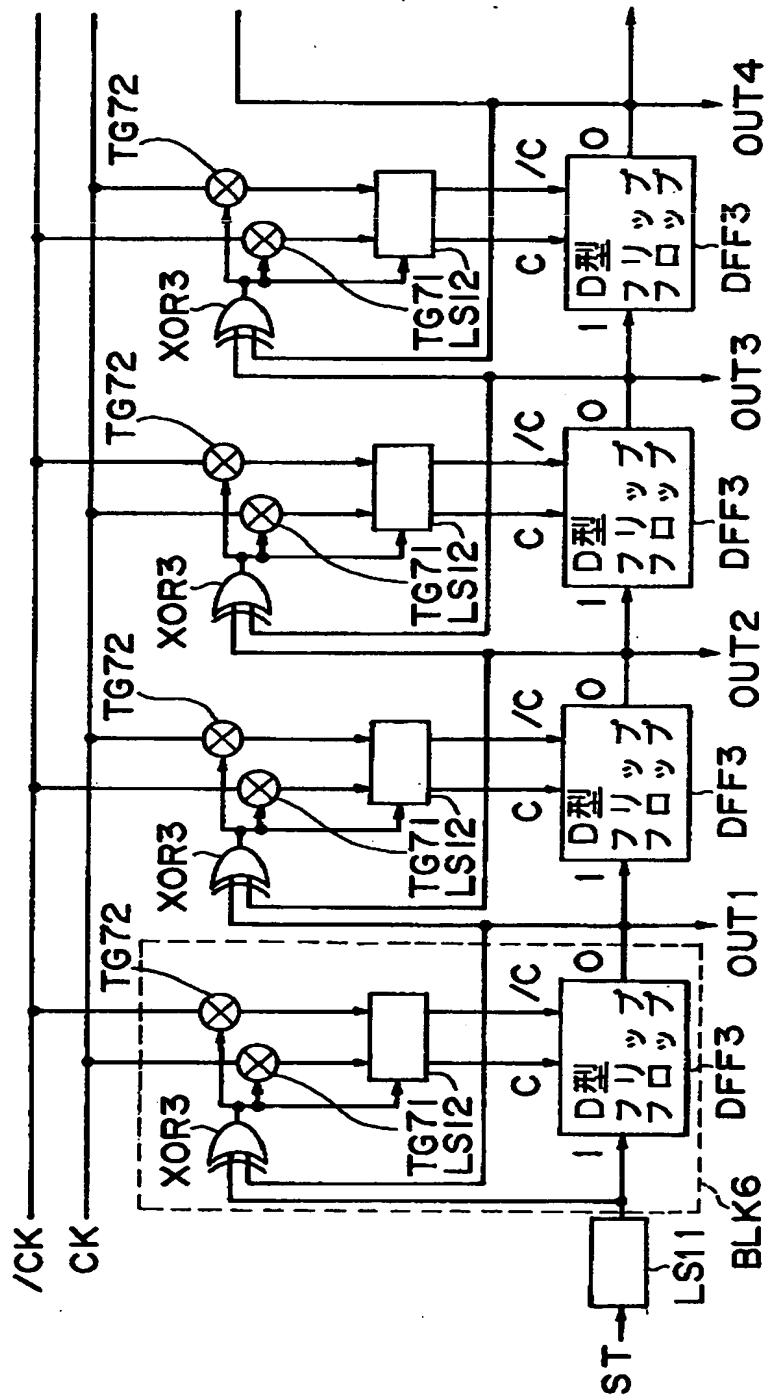




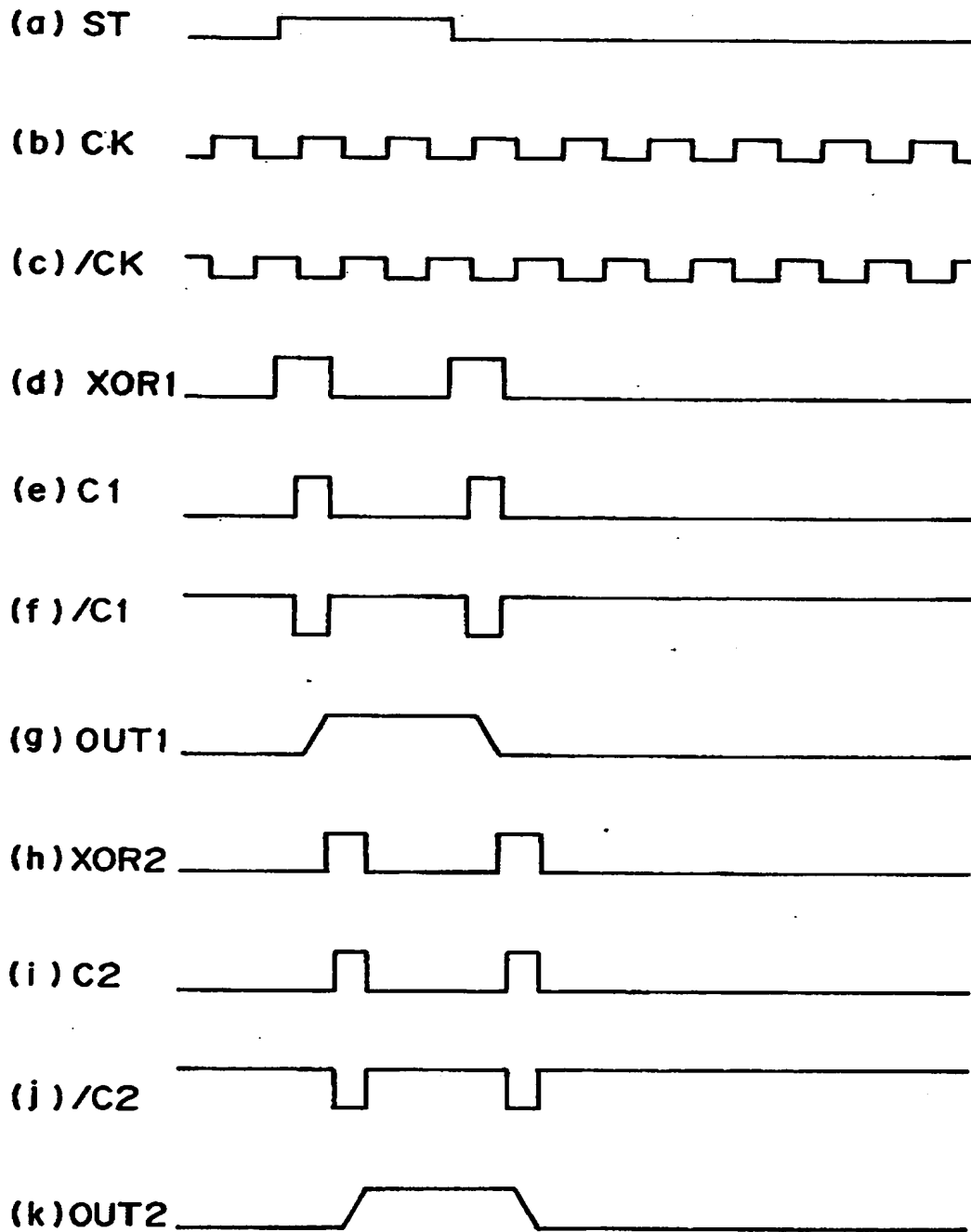
【図16】



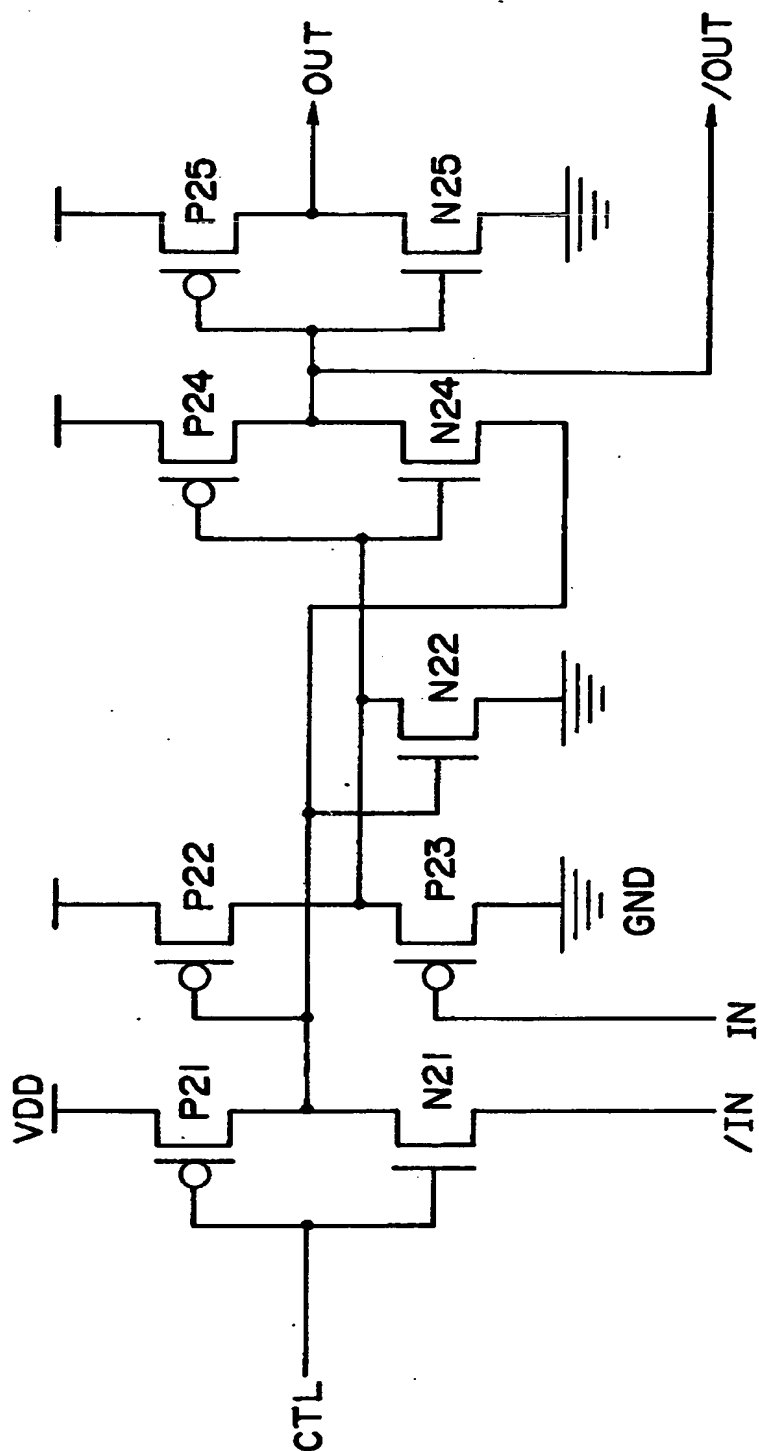
【図 17】



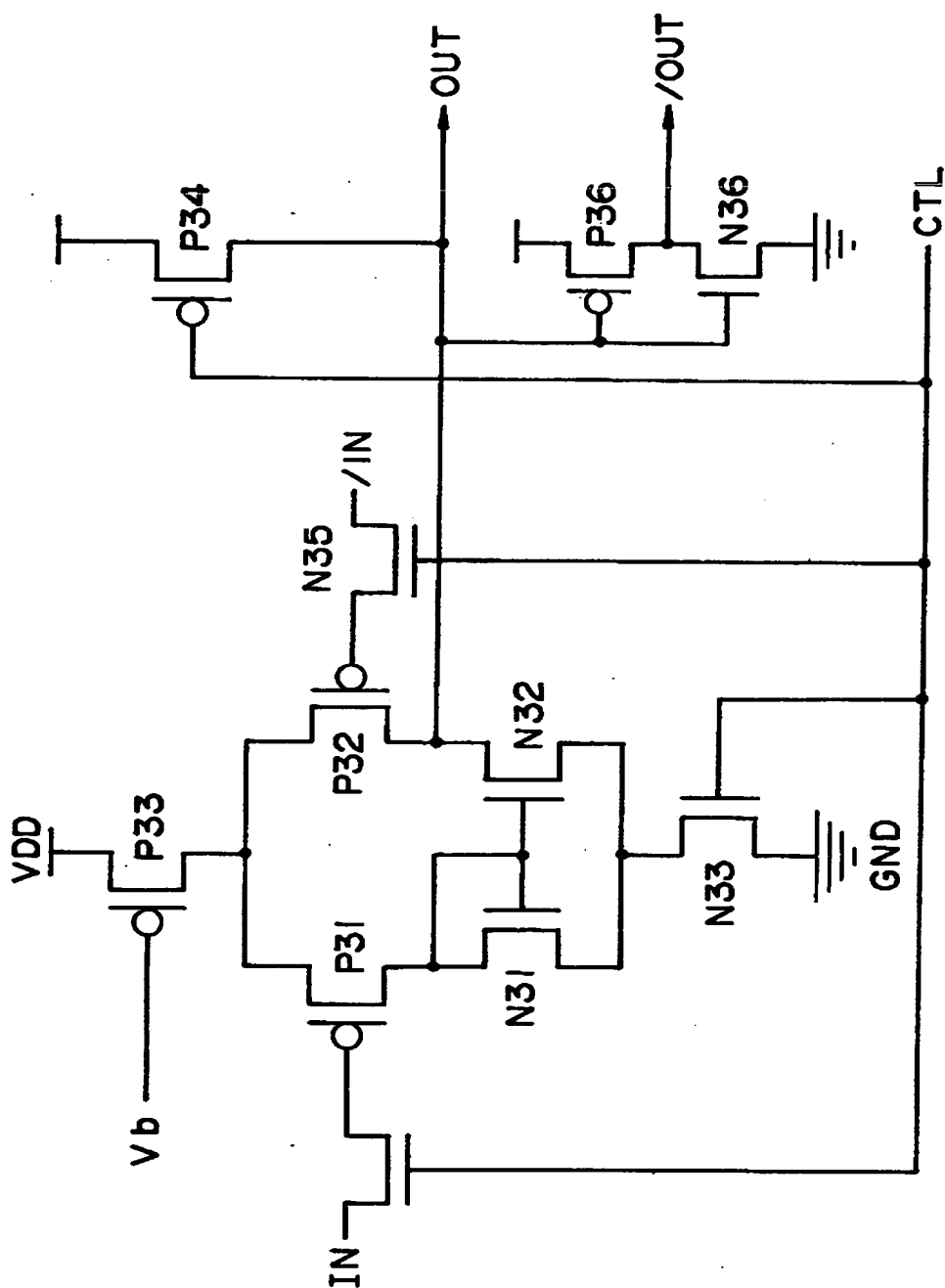
【図 1 8】



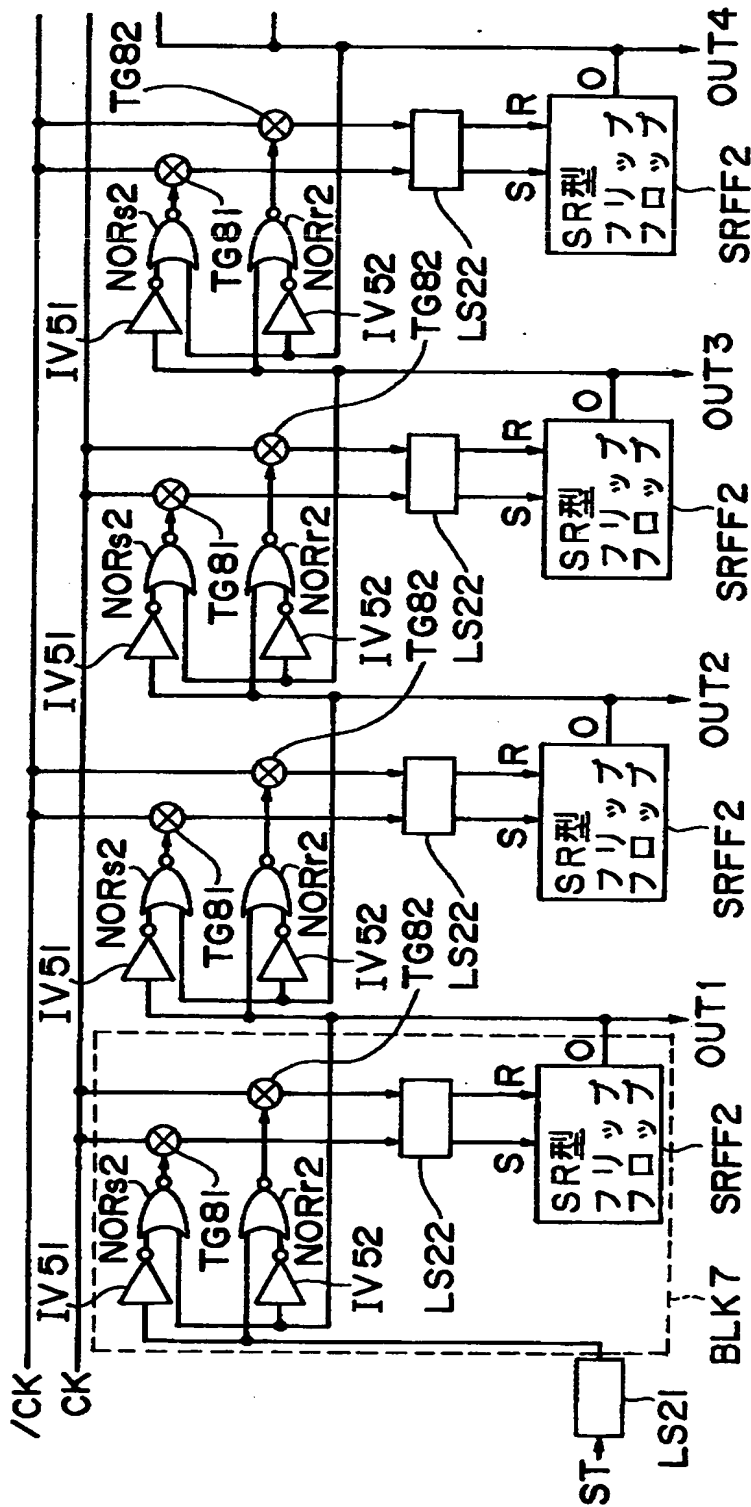
【図 19】



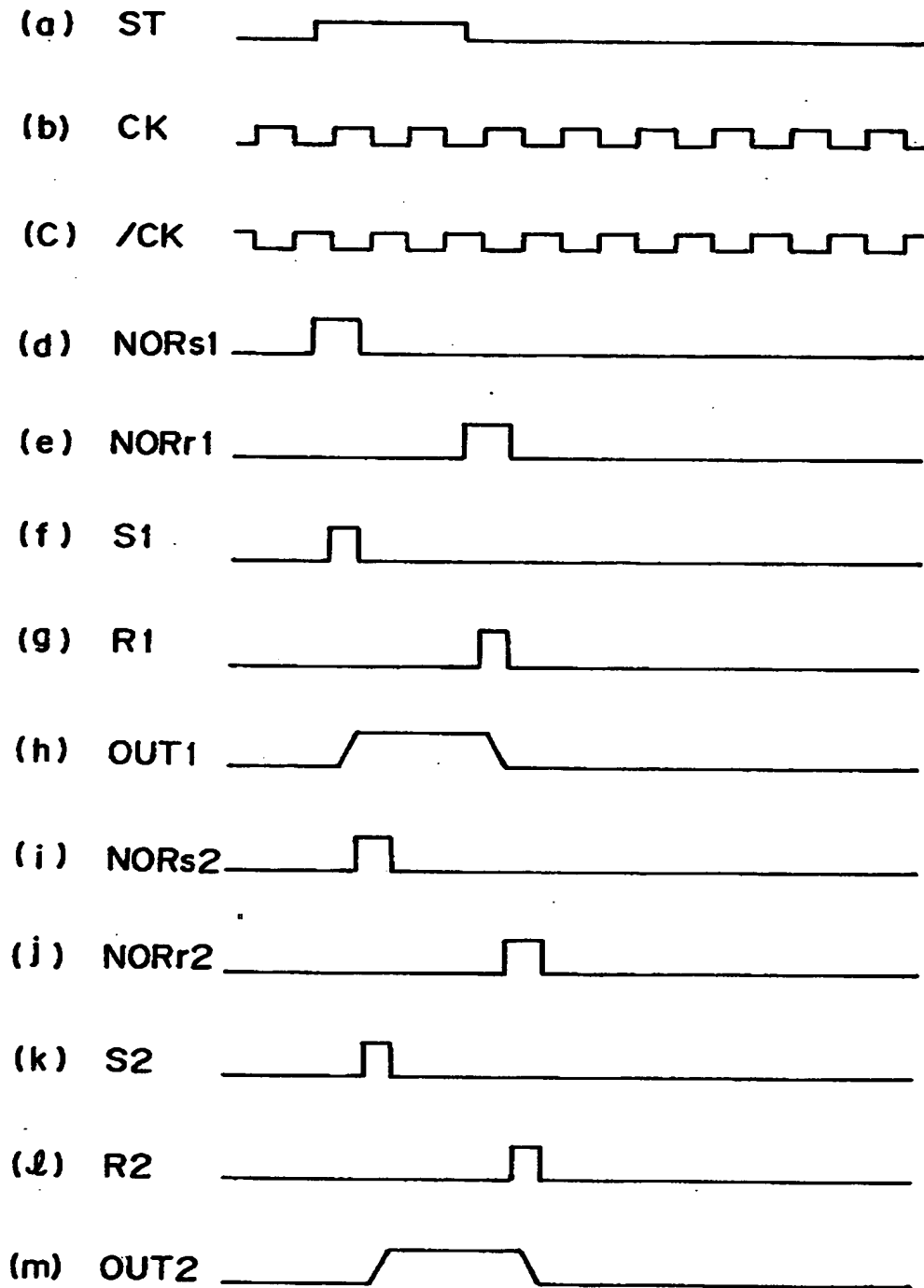
【図 20】



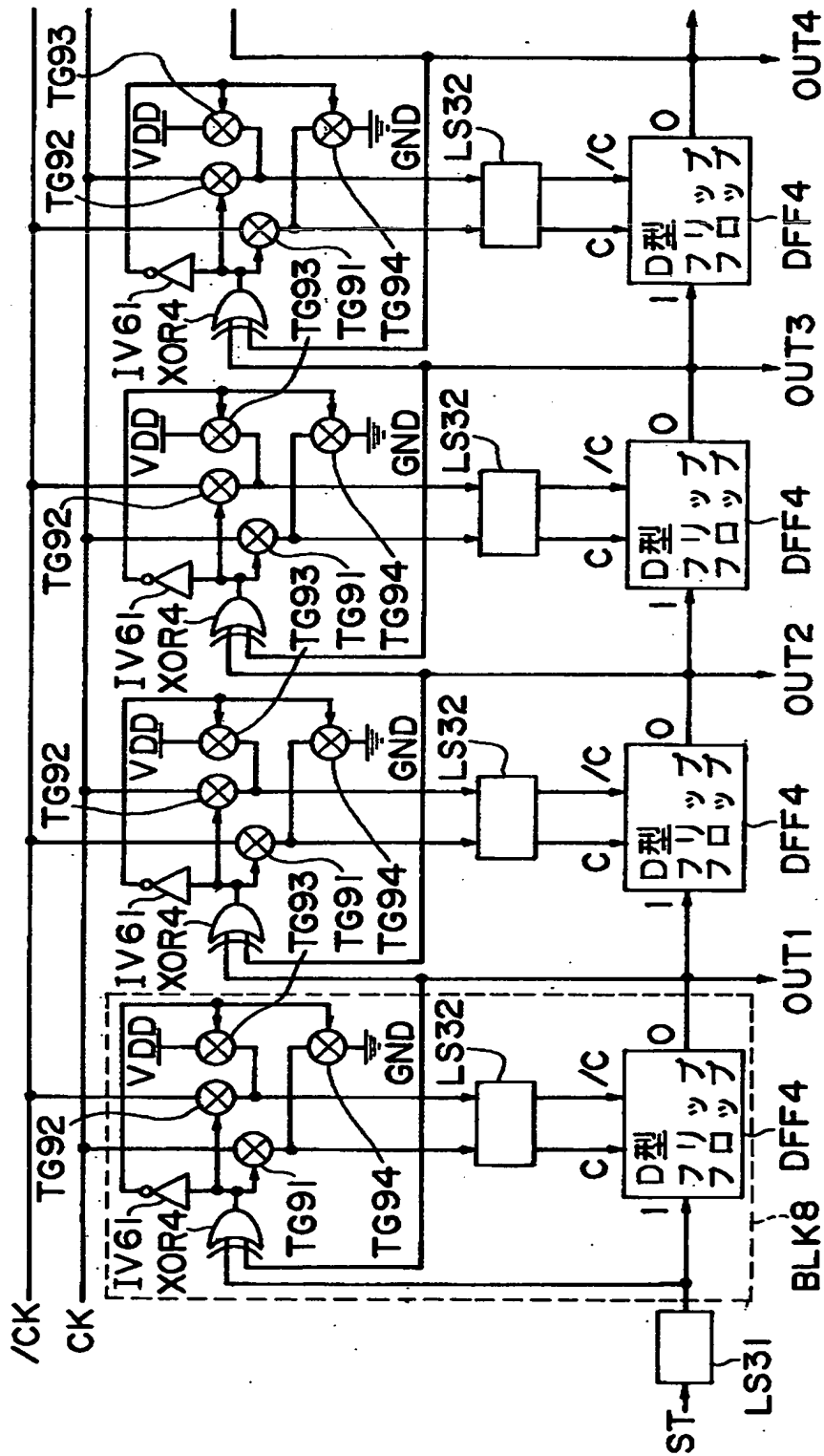
【図21】



【図 2 2】

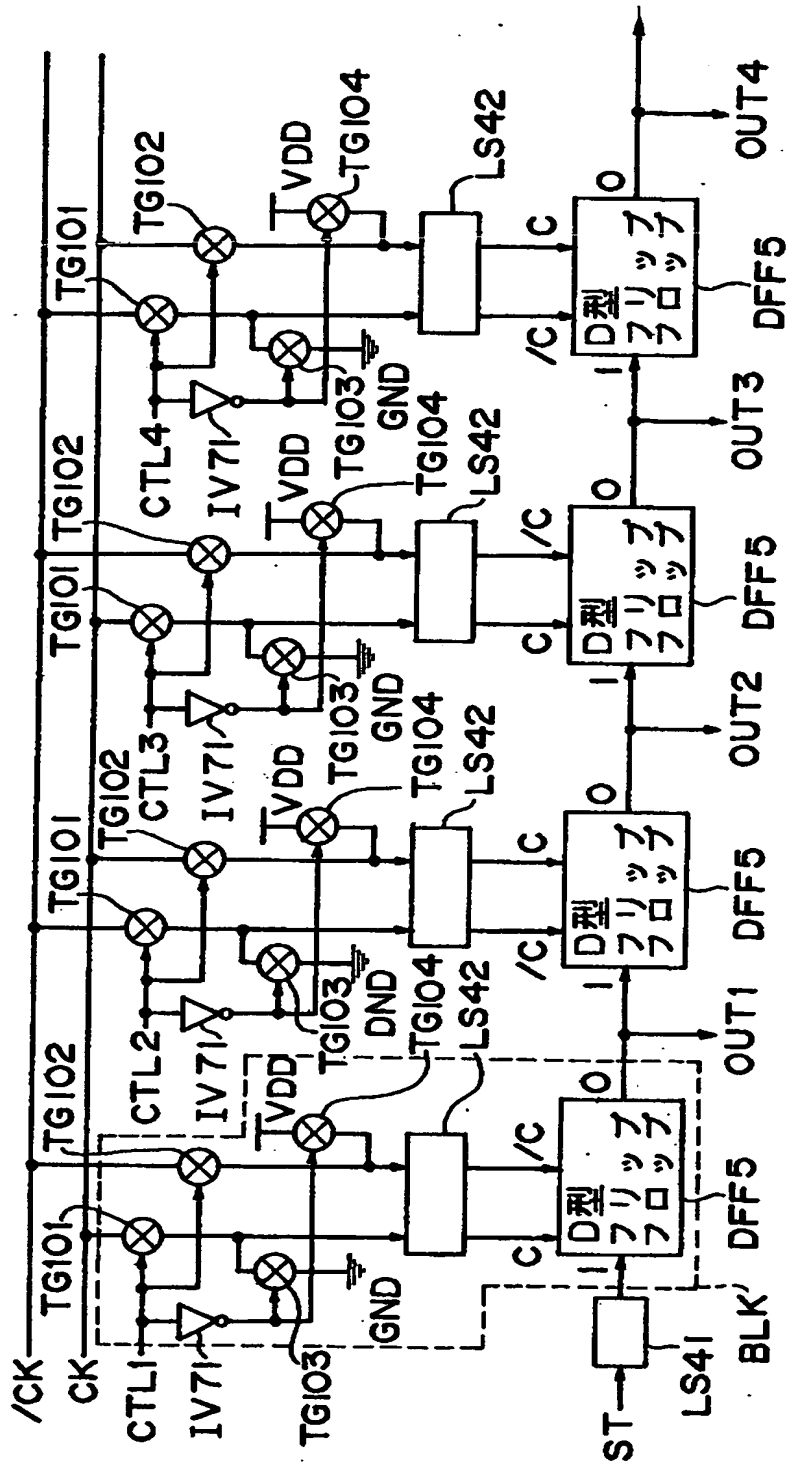


【図 23】

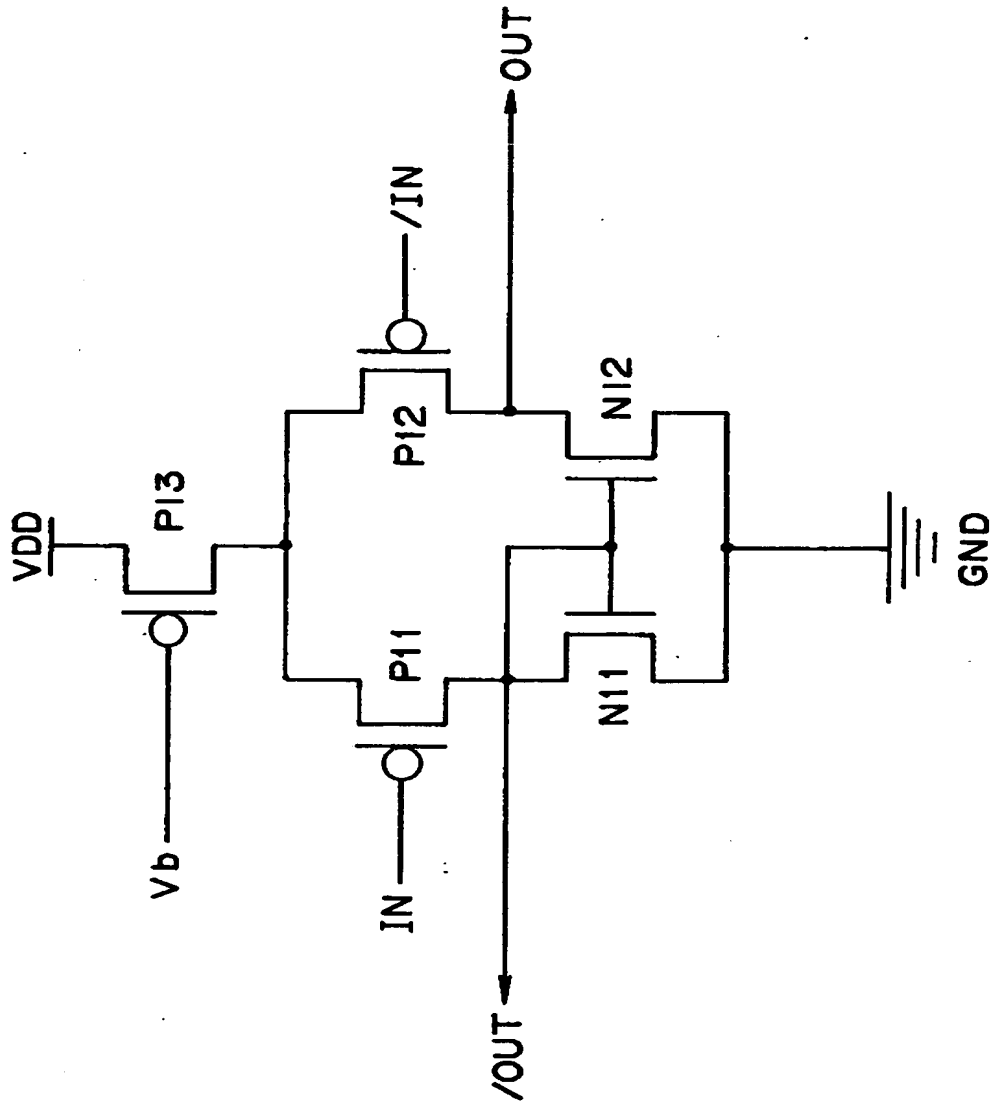




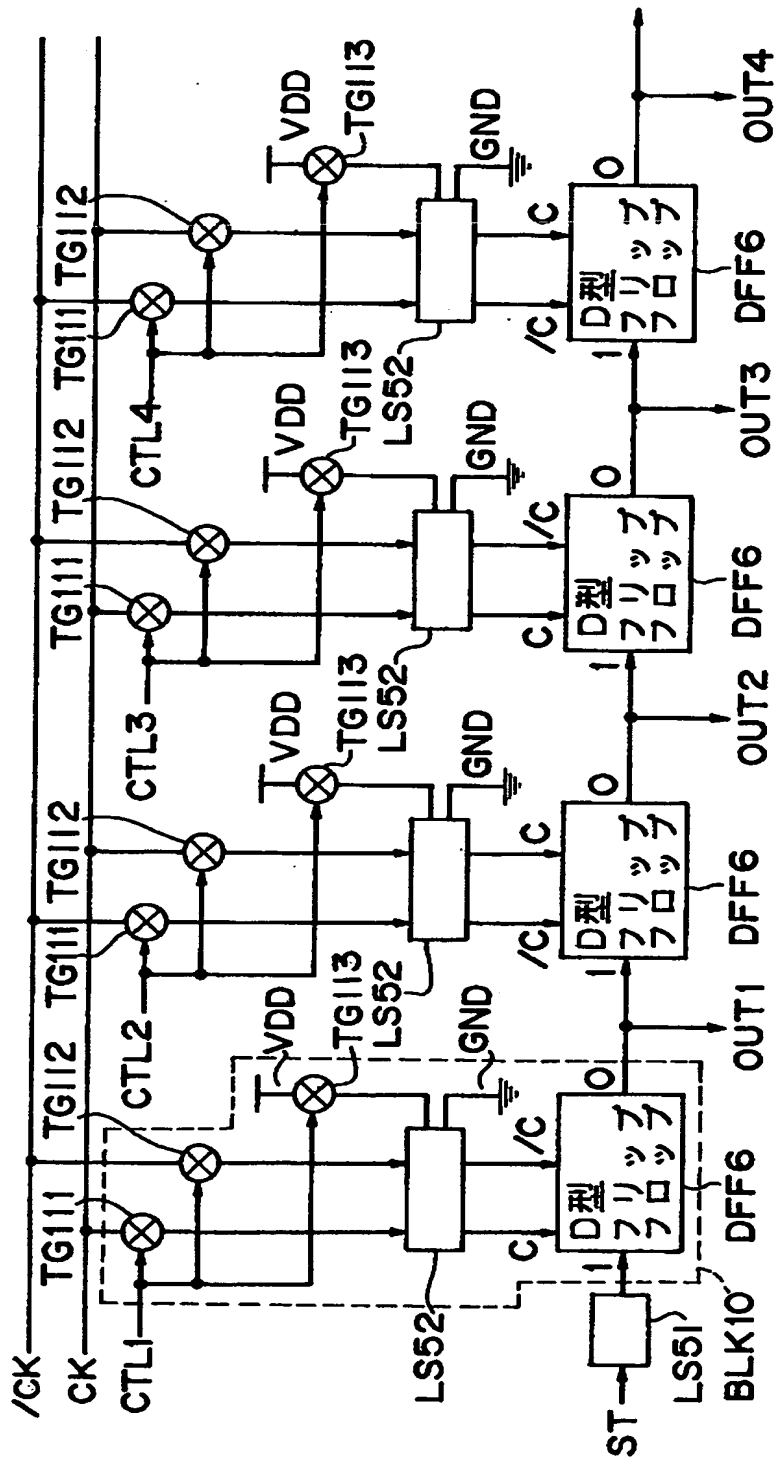
【図 24】



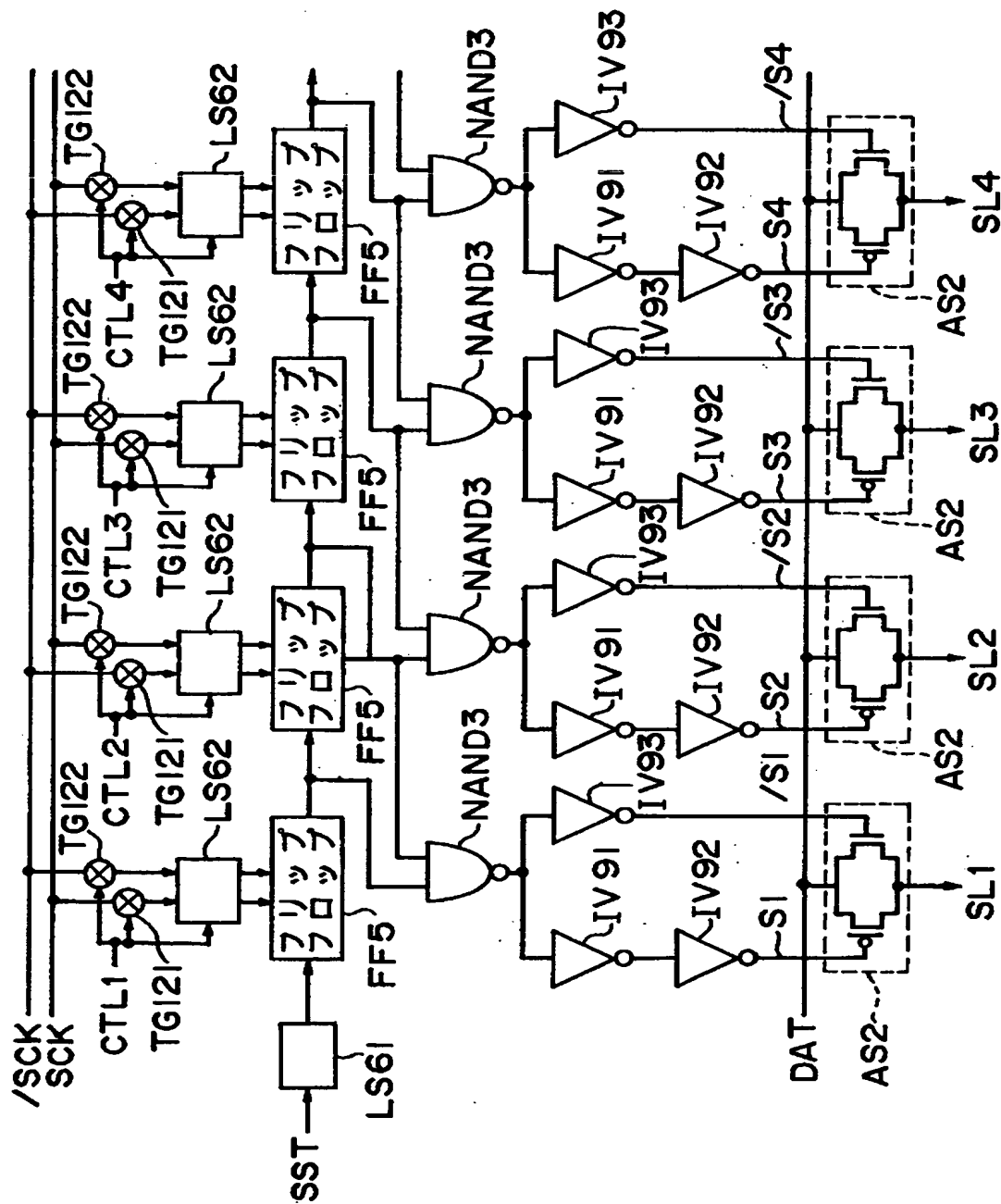
【図 25】



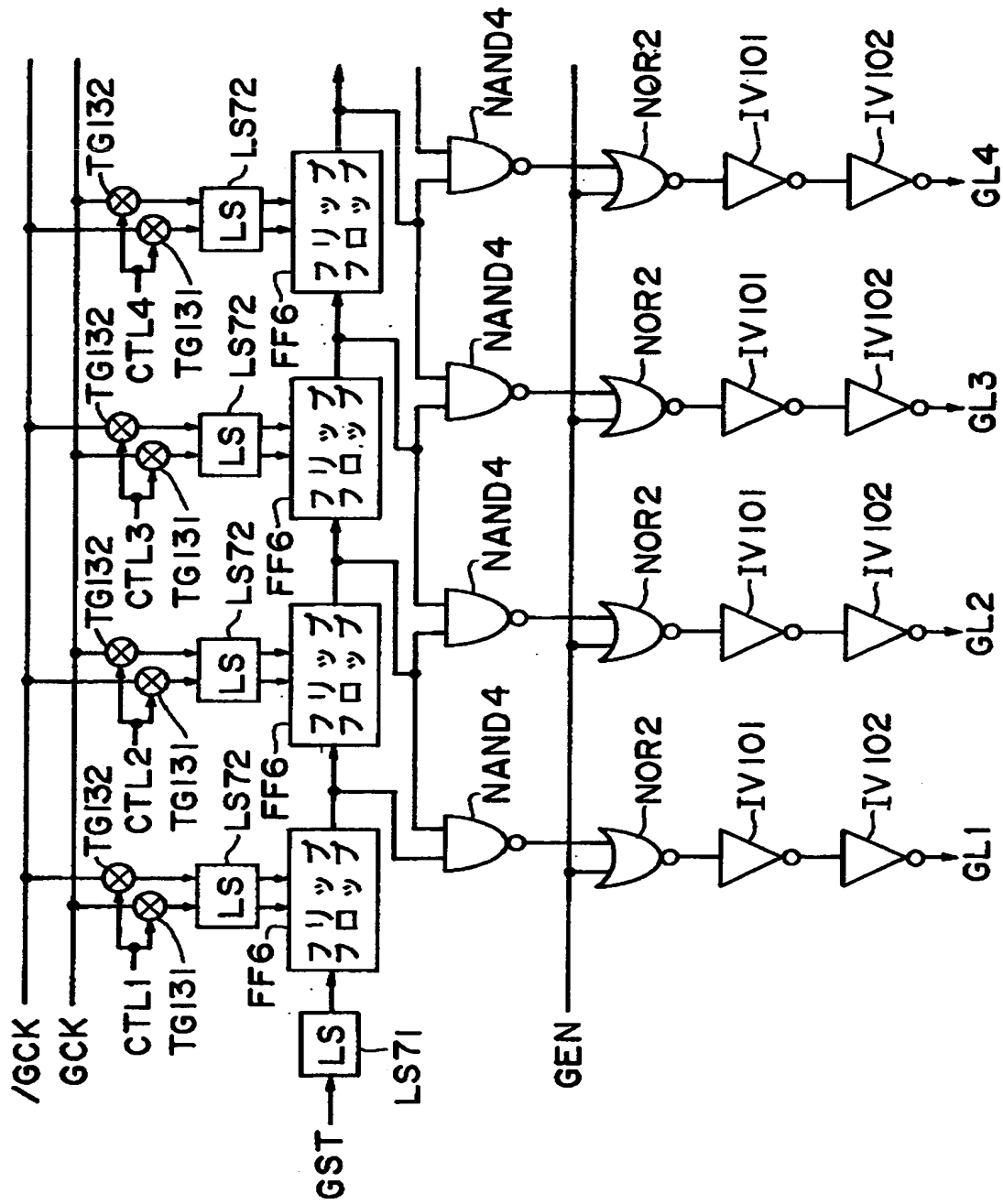
【図 26】



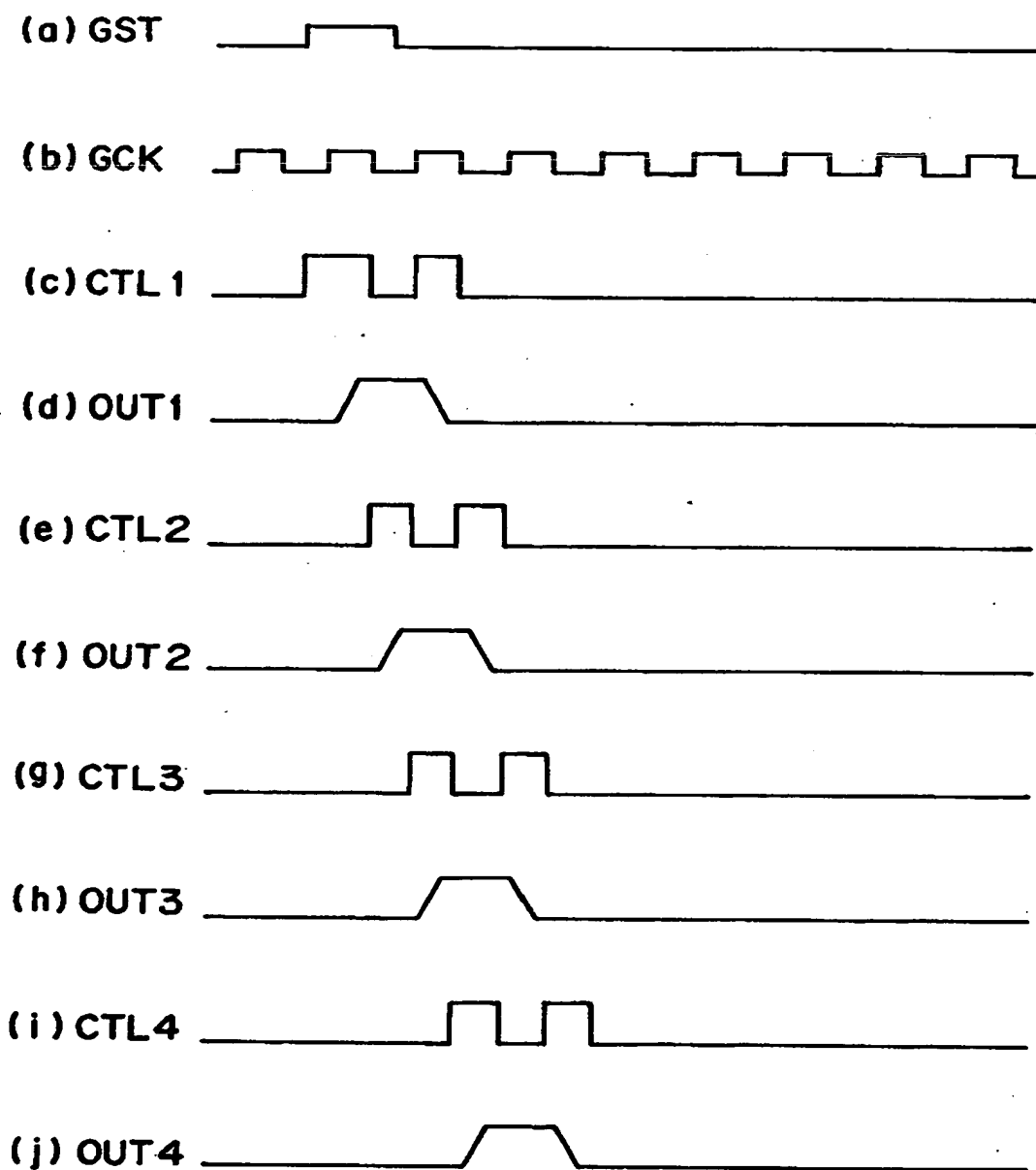
【図 27】



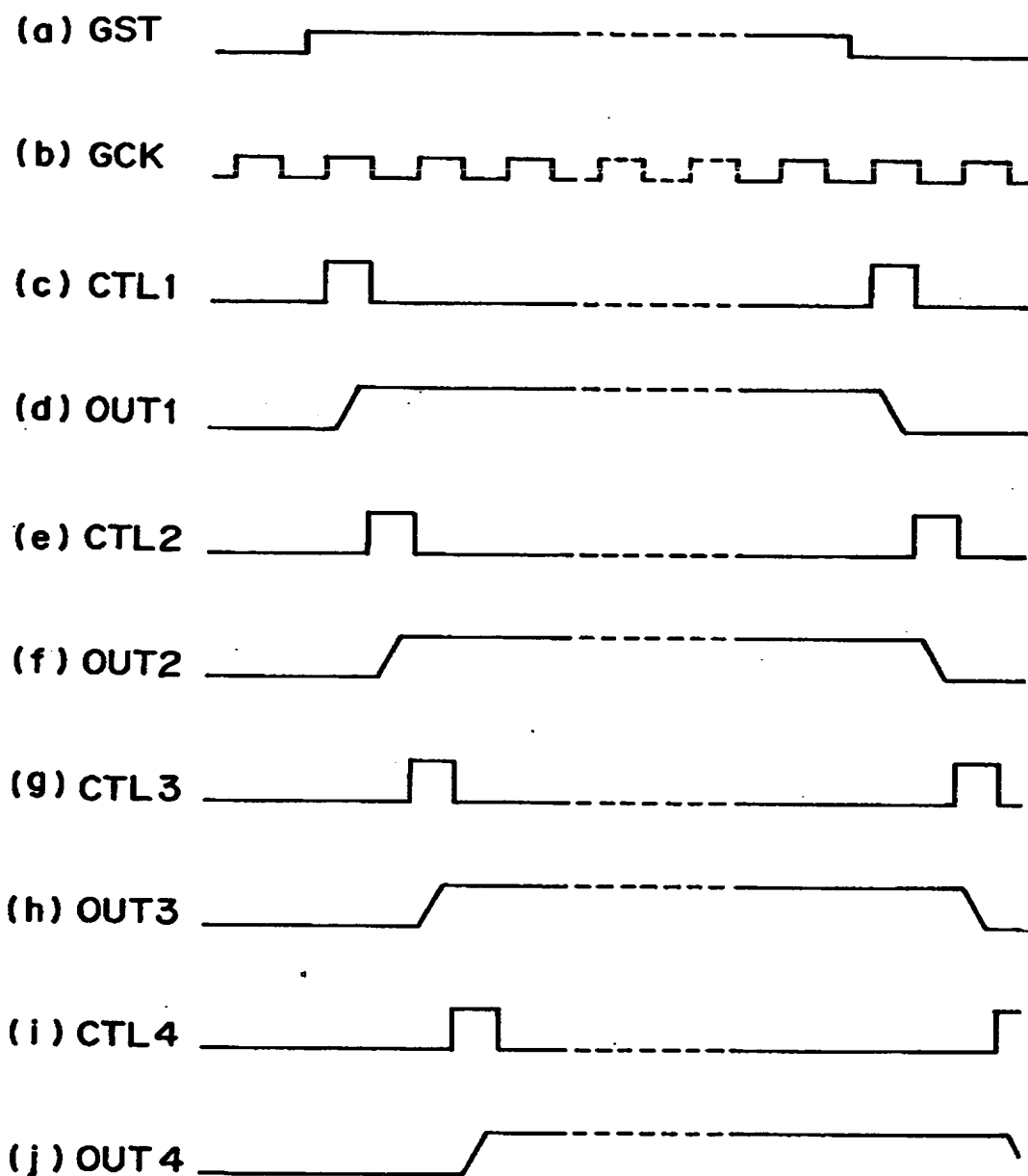
【図28】



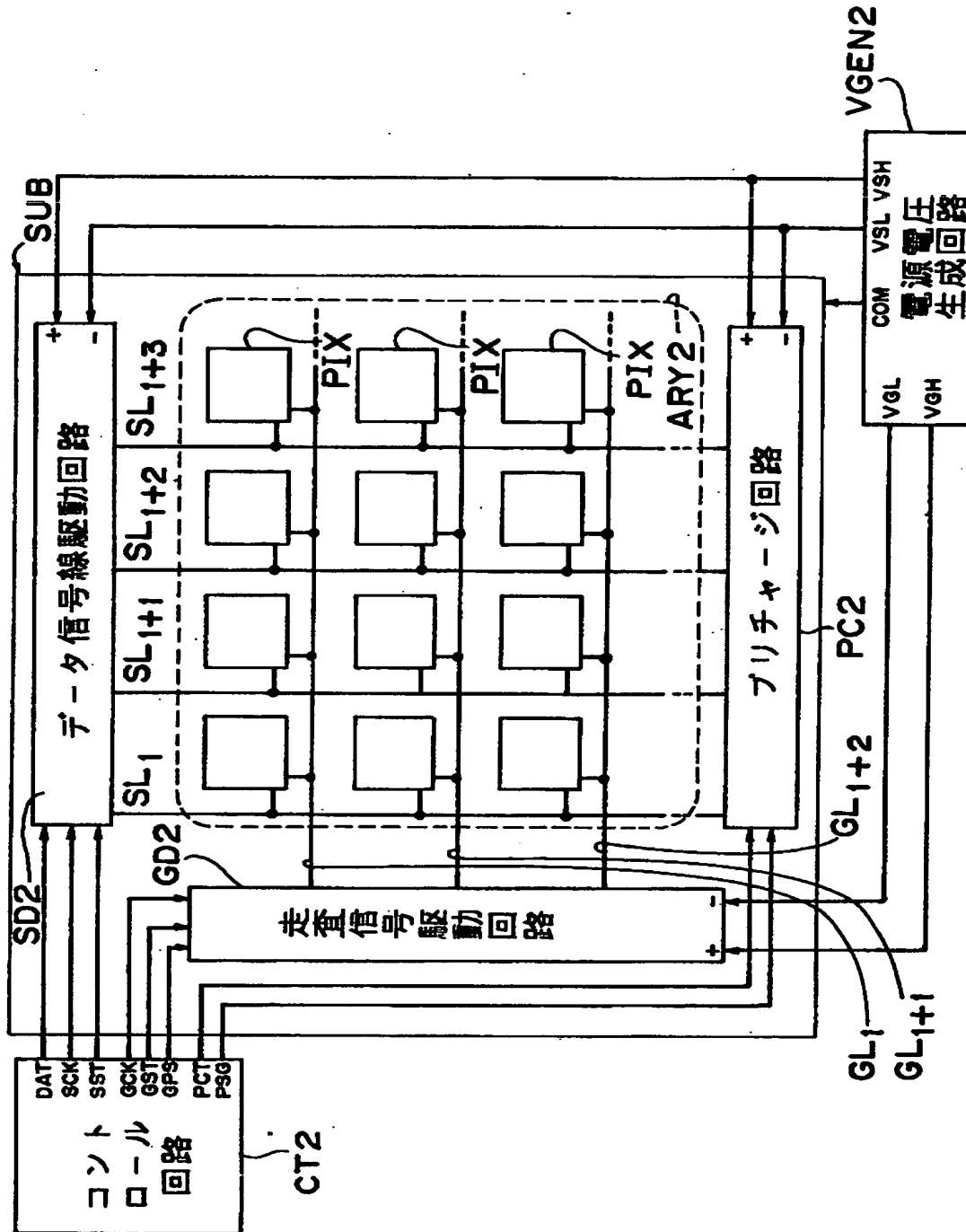
【図 29】



【図 3 0】

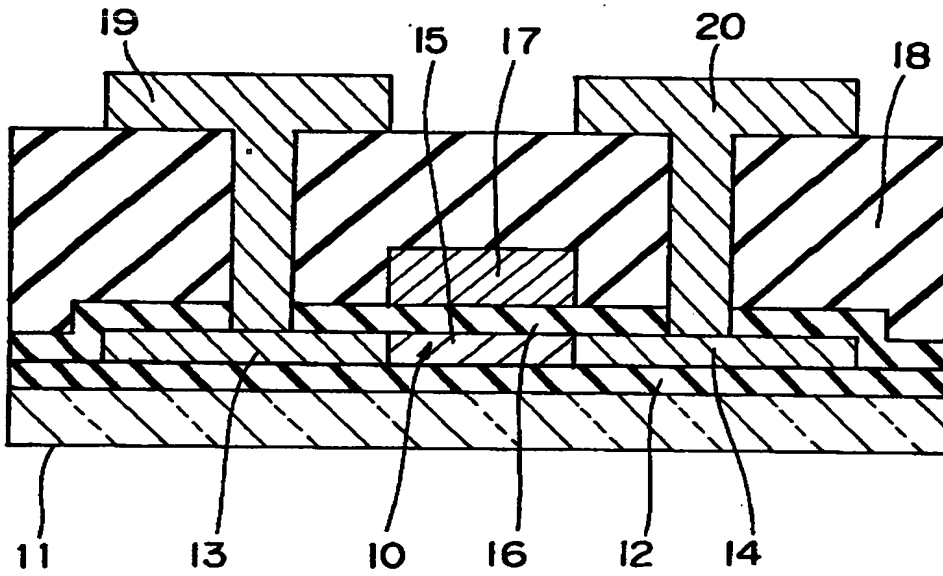


【図31】

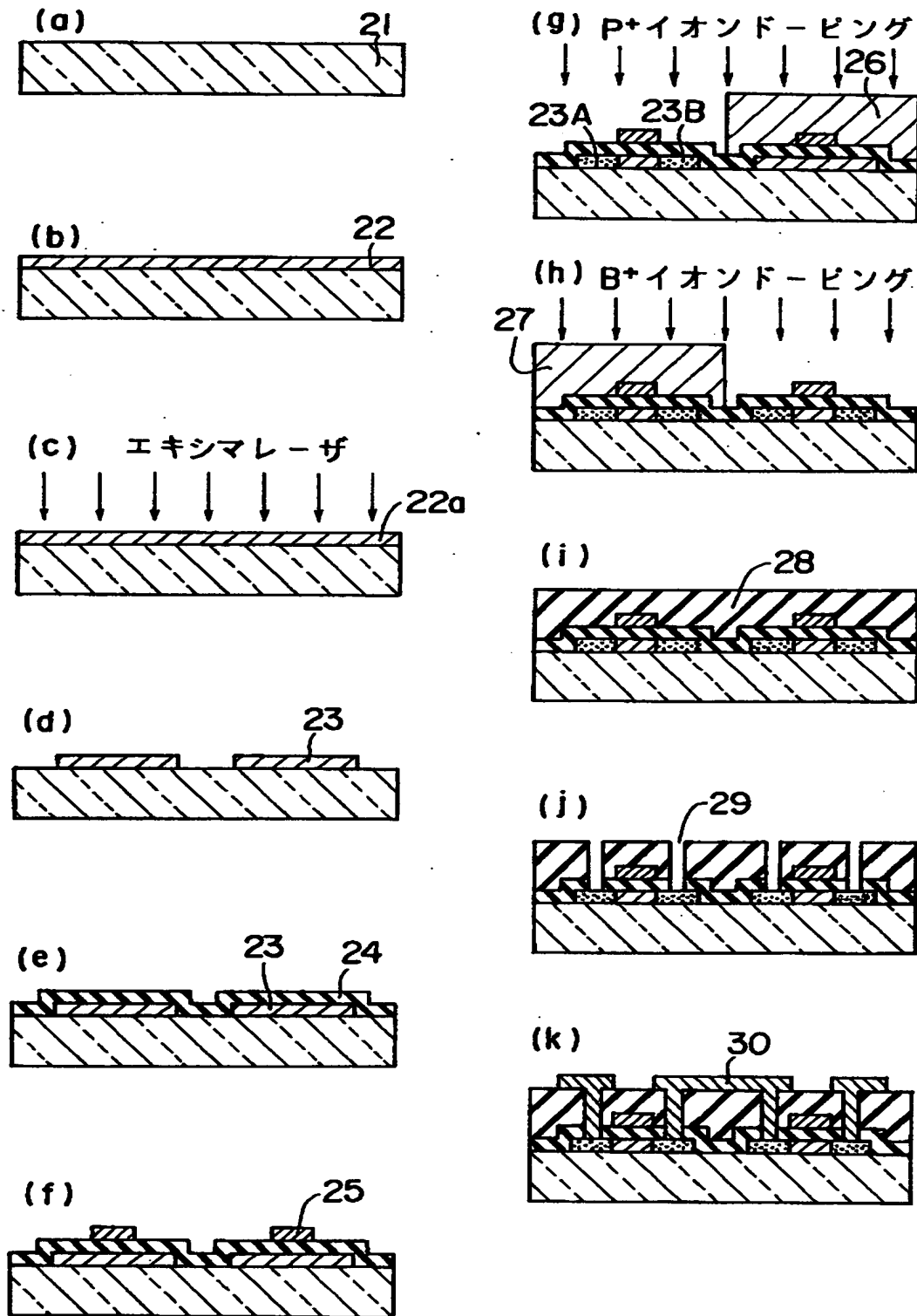




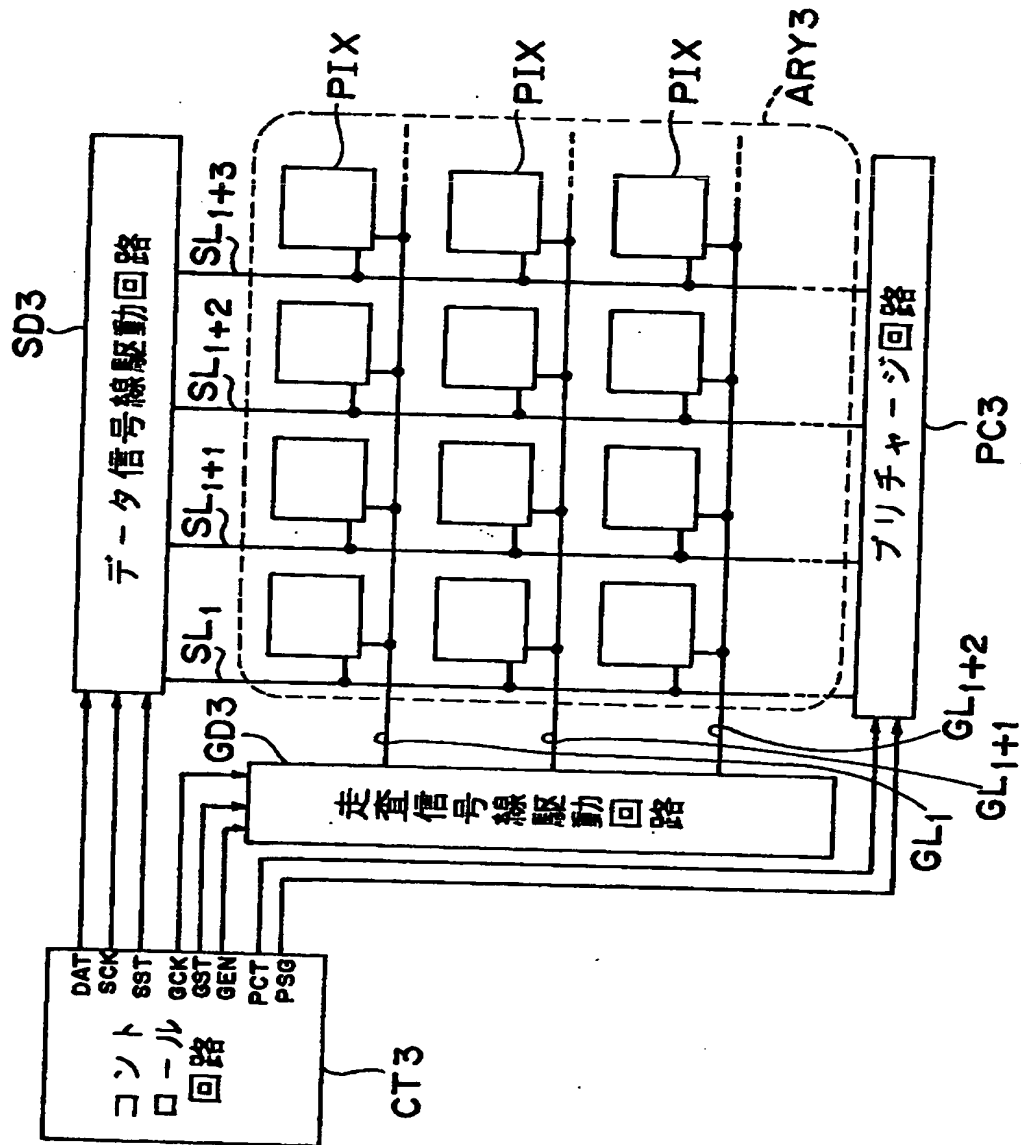
【図 3 2】



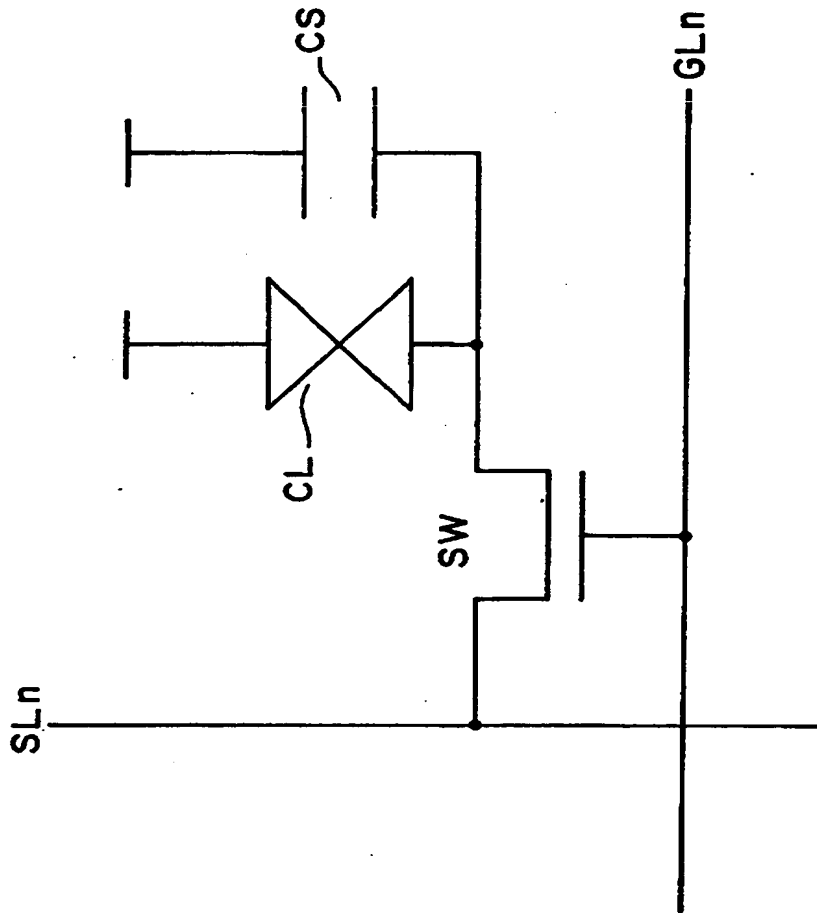
【図33】



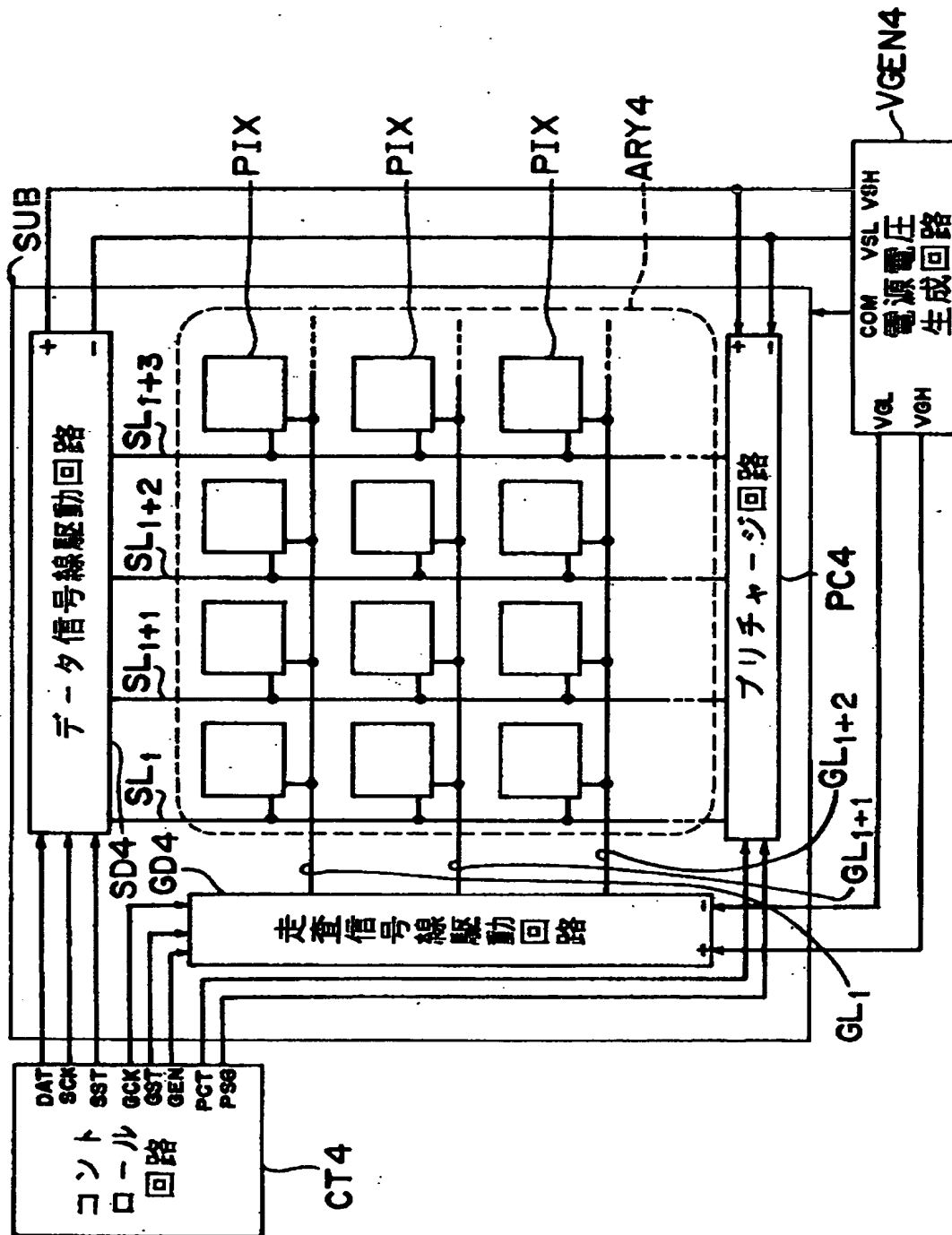
【図34】



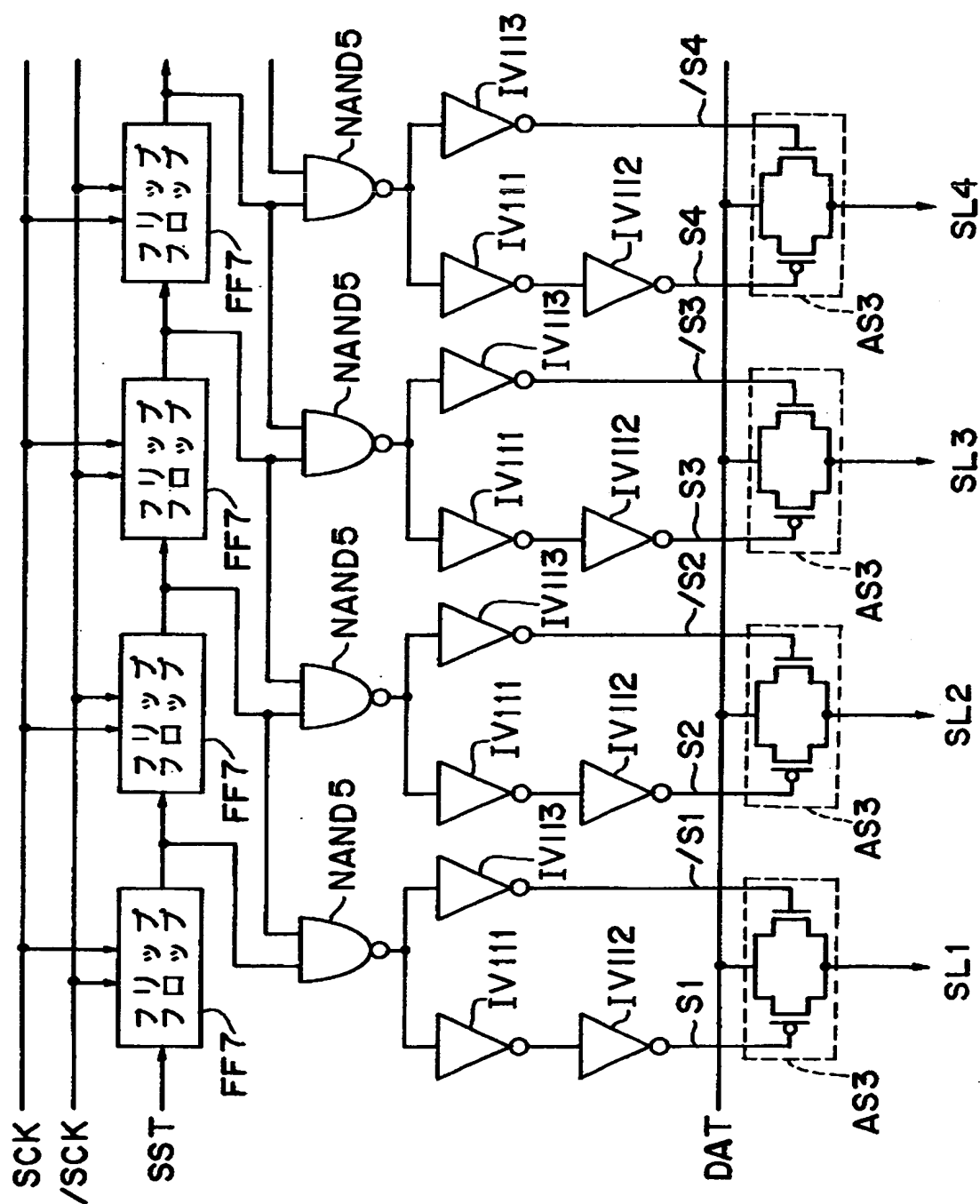
【図 35】



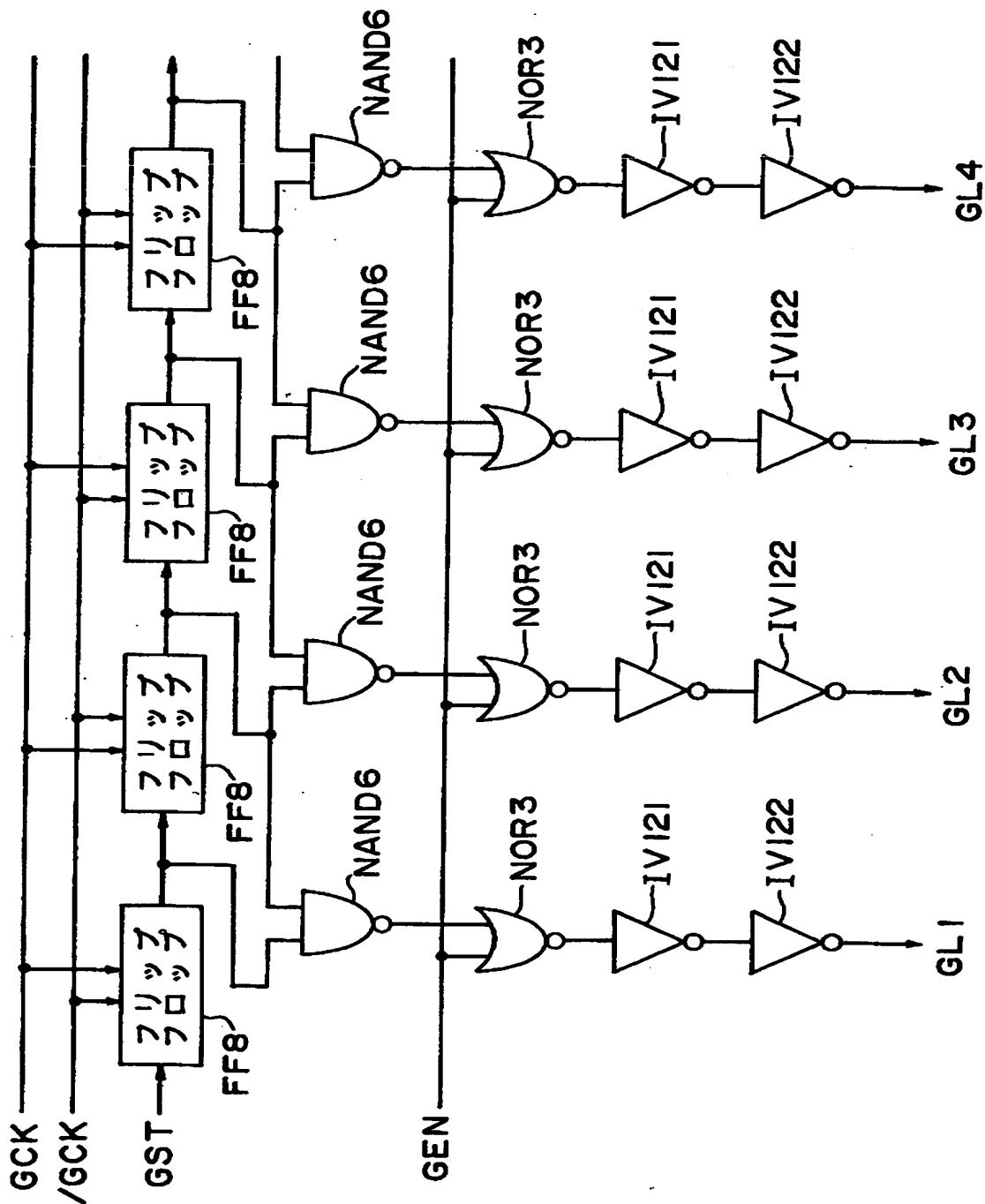
【図 36】



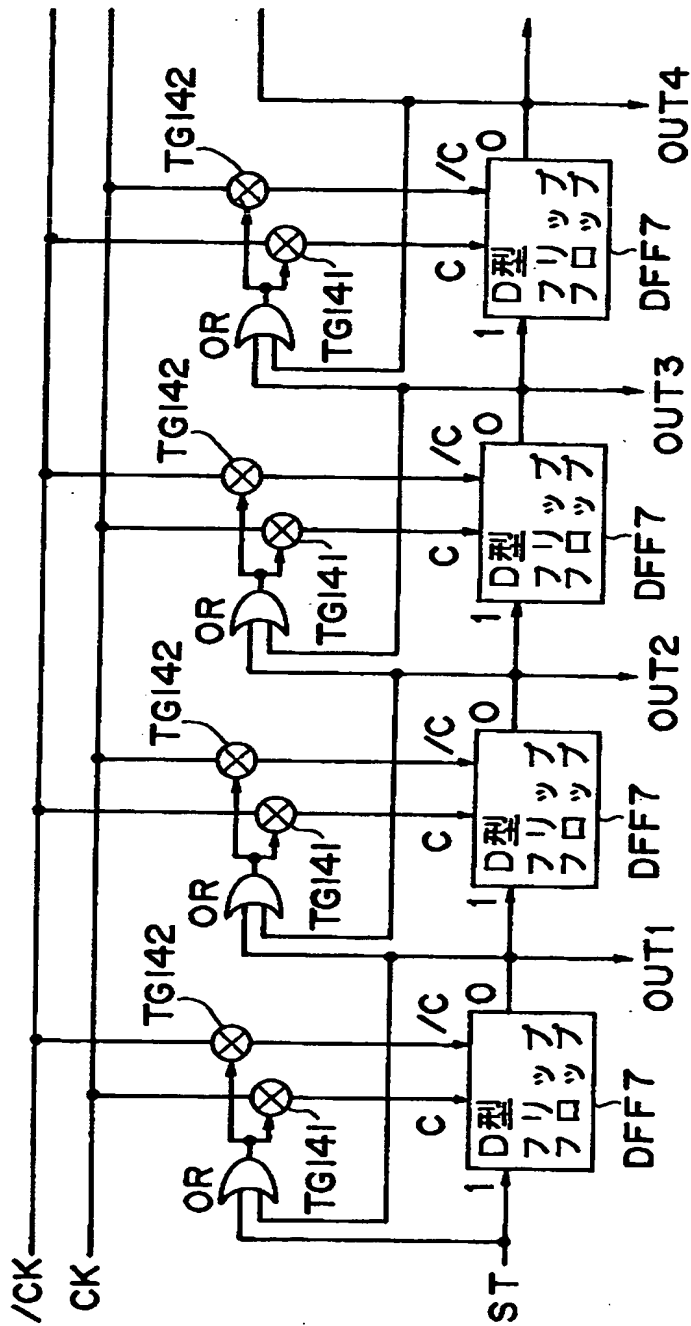
【図 3 7】



【図38】

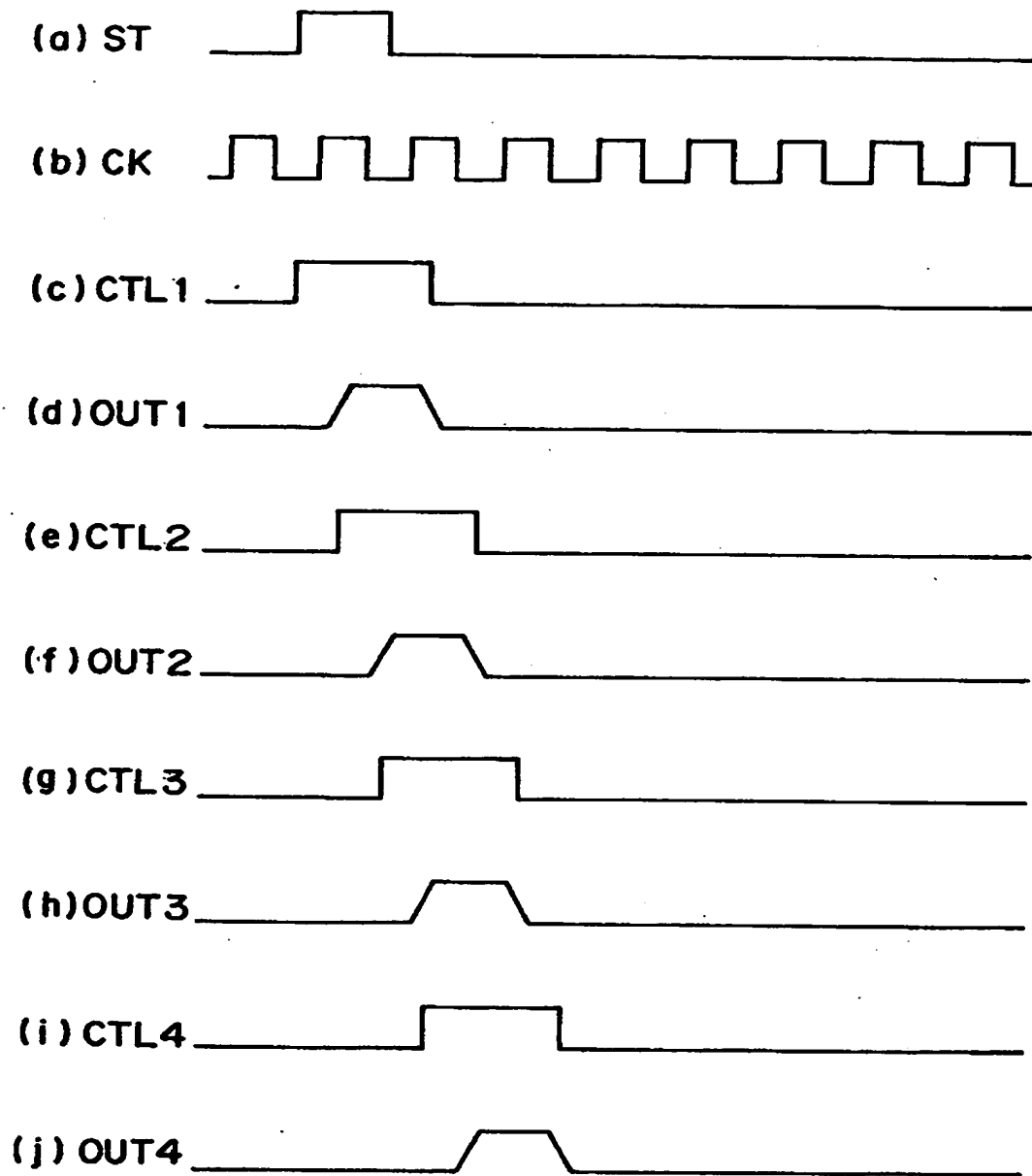


【図 39】

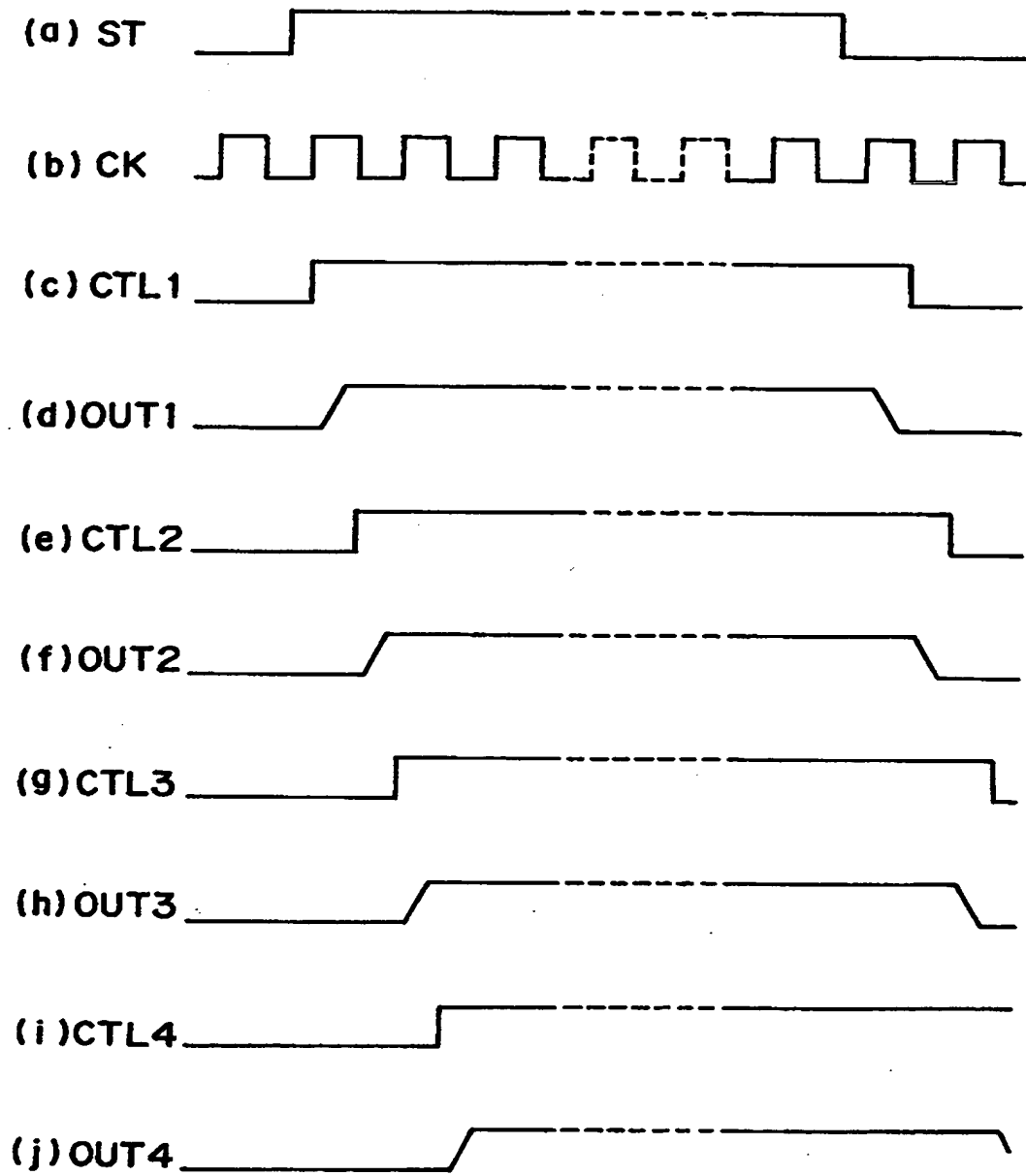




【図 4 0】



【図 4 1】



【書類名】 要約書

【要約】

【課題】 この発明の目的は、簡単な構成でクロック信号線の容量負荷を低減して、外部回路の負荷を低減でき、低消費電力化と低コスト化が図れる動作マージンの広いシフトレジスタ回路および画像表示装置を提供する。

【解決手段】 直列に接続された複数のレジスタブロック B L K 2 は、クロック信号に同期して動作する D 型フリップフロップ D F F 1 と、上記 D 型フリップフロップ D F F 1 に供給されるクロック信号 C K , / C K を制御する転送ゲート T G 1 1 , T G 1 2 と、上記 D 型フリップフロップ D F F 1 の出力が変化する点の前後の所定期間のみ ( D 型フリップフロップ D F F 1 の入力信号レベルと出力信号レベルとが異なるとき ) オン状態になるように転送ゲート T G 1 1 , T G 1 2 に制御信号を出力する排他的論理和回路 X O R 1 とを有する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社